



Docket No.: 065933-0065

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Yukihiro NOGUCHI, et al.	:	Confirmation Number: 8354
Application No.: 10/754,926	:	Group Art Unit: 2819
Filed: January 12, 2004	:	Examiner: TRAN, ANH Q
For: LEVEL CONVERSION CIRCUIT	:	

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Japan 2001-212913 of July 12, 2001

A copy of the priority application listed above is enclosed.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

Gene Z. Robinson
Registration No. 33,351

600 13th Street, N.W.
Washington, DC 20005-3096
Phone: 202.756.8000 GZR:bd
Facsimile: 202.756.8087
Date: June 2, 2006

**Please recognize our Customer No. 20277
as our correspondence address.**

【書類名】 特許願

【整理番号】 NBC1012085

【提出日】 平成13年 7月12日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 5/00

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社
社内

【氏名】 野口 幸宏

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社
社内

【氏名】 松本 昭一郎

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100105924

【弁理士】

【氏名又は名称】 森下 賢樹

【電話番号】 0422-23-7415

【手数料の表示】

【予納台帳番号】 091329

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レベル変換回路

【特許請求の範囲】

【請求項 1】 電源電圧が印加される電源ノードと出力ノードとの間に接続された第 1 導電型の第 1 のトランジスタと、

第 1 入力信号が入力される第 1 入力ノードと前記出力ノードとの間に接続された第 2 導電型の第 2 のトランジスタとを備え、

前記第 2 のトランジスタの制御電極は前記電源ノードに接続され、前記第 1 のトランジスタの制御電極は第 2 入力信号が入力される第 2 入力ノードに接続され、前記出力ノードから出力信号が取り出されることを特徴とするレベル変換回路。

【請求項 2】 前記電源電圧は前記第 1 および第 2 のトランジスタのそれぞれについて単一または個別に設けられ、第 1 のトランジスタに対応する電源電圧は前記第 1 入力信号のハイレベルよりも高い値に設定され、第 2 のトランジスタに対応する電源電圧は前記第 2 入力信号のハイレベルよりも高い値に設定され、それらの電源電圧と前記第 1 入力信号および第 2 入力信号の電圧の差に応じて前記第 1 及び第 2 のトランジスタのオン状態の程度が制御され、第 1 入力信号が前記電源電圧に対応した前記出力信号に変換されることを特徴とする請求項 1 に記載のレベル変換回路。

【請求項 3】 前記電源電圧は前記第 1 入力信号のハイレベルよりも高い値に設定され、それらの電圧の差に応じて前記第 1 のトランジスタのオン状態の程度が制御され、前記第 1 入力信号が前記電源電圧に対応した前記出力信号に変換されることを特徴とする請求項 1 に記載のレベル変換回路。

【請求項 4】 前記電源電圧は前記第 2 入力信号のハイレベルよりも高い値に設定され、それらの電圧の差に応じて前記第 2 のトランジスタのオン状態の程度が制御され、前記第 1 入力信号が前記第 1 のトランジスタに作用する電源電圧に対応した前記出力信号に変換されることを特徴とする請求項 1 に記載のレベル変換回路。

【請求項 5】 前記第 2 のトランジスタの制御電極は、前記電源電圧を所定

量引き下げる制御回路を介して前記電源ノードに接続されることを特徴とする請求項 1 から 4 のいずれかに記載のレベル変換回路。

【請求項 6】 前記第 1 のトランジスタの制御電極は、前記第 2 入力ノードの電圧を所定量引き上げる制御回路を介して前記第 2 入力ノードに接続されることを特徴とする請求項 1 から 5 のいずれかに記載のレベル変換回路。

【請求項 7】 電源電圧が印加される電源ノードと第 1 の出力ノードとの間に接続された第 1 導電型の第 1 のトランジスタと、

第 1 入力信号が入力される第 1 入力ノードと前記第 1 の出力ノードとの間に接続された第 2 導電型の第 2 のトランジスタと、

前記電源ノードと第 2 の出力ノードとの間に接続された第 1 導電型の第 3 のトランジスタと、

第 2 入力信号が入力される第 2 入力ノードと前記第 2 の出力ノードとの間に接続された第 2 導電型の第 4 のトランジスタとを備え、

前記第 2 及び第 4 のトランジスタの制御電極は前記電源ノードと接続され、前記第 1 及び第 3 のトランジスタの制御電極はそれぞれ前記第 2 の出力ノードおよび第 1 の出力ノードに交差接続され、前記第 1 または第 2 の出力ノードから出力信号が取り出されることを特徴とするレベル変換回路。

【請求項 8】 電源電圧が印加される電源ノードと第 1 の出力ノードとの間に接続された第 1 導電型の第 1 のトランジスタと、

第 1 入力信号が入力される第 1 入力ノードと前記第 1 の出力ノードとの間に接続された第 2 導電型の第 2 のトランジスタと、

前記電源ノードと第 2 の出力ノードとの間に接続された第 1 導電型の第 3 のトランジスタと、

第 2 入力信号が入力される第 2 入力ノードと前記第 2 の出力ノードとの間に接続された第 2 導電型の第 4 のトランジスタとを備え、

前記第 2 及び第 4 のトランジスタの制御電極はそれぞれ前記第 2 の出力ノードおよび第 1 の出力ノードに交差接続され、前記第 1 及び第 3 のトランジスタの制御電極はそれぞれ前記第 2 及び第 1 入力ノードに接続され、前記第 1 または第 2 の出力ノードから出力信号が取り出されることを特徴とするレベル変換回路。

【請求項 9】 前記電源電圧は前記第 1 および第 2 のトランジスタのそれぞれについて単一または個別に設けられ、第 1 のトランジスタに対応する電源電圧は前記第 1 入力信号のハイレベルよりも高い値に設定され、第 2 のトランジスタに対応する電源電圧は前記第 2 入力信号のハイレベルよりも高い値に設定され、それらの電源電圧と前記第 1 入力信号および第 2 入力信号の電圧の差に応じて前記第 1 から第 4 のトランジスタのオン状態の程度が制御され、第 1 入力信号が前記電源電圧に対応した前記出力信号に変換されることを特徴とする請求項 7、8 に記載のレベル変換回路。

【請求項 10】 前記第 2 および第 4 のトランジスタの制御電極は、前記電源電圧を所定量引き下げる制御回路を介して前記電源ノードに接続されることを特徴とする請求項 7 から 9 のいずれかに記載のレベル変換回路。

【請求項 11】 前記第 1 および第 3 のトランジスタの制御電極は、前記第 2 入力ノードの電圧を所定量引き上げる制御回路を介して前記第 2 入力ノードに接続されることを特徴とする請求項 7 から 10 のいずれかに記載のレベル変換回路。

【請求項 12】 請求項 1 に記載のレベル変換回路と、請求項 1 に記載のレベル変換回路において第 1 入力信号と第 2 入力信号を入れ替えたレベル変換回路と、それらふたつのレベル変換回路の出力信号をふたつの制御入力信号とするクロスカップル型の差動増幅回路とを備え、この差動増幅回路を構成するふたつの電流経路のそれぞれに配されるふたつのトランジスタの接続点が最終的な出力信号を取り出すべき出力ノードに接続されることを特徴とするレベル変換回路。

【請求項 13】 前記クロスカップル型の差動増幅回路に代えてカレントミラー型の増幅回路を配したことを特徴とする請求項 11 に記載のレベル変換回路。

【請求項 14】 入力信号の振幅よりも電位差が大きな電源電圧と接地電圧の間に、第 1 および第 2 のトランジスタを、それらのオン抵抗によって前記電源電圧と接地電圧が抵抗分割されるよう直列に配し、

前記入力信号がハイレベルのとき前記第 1 のトランジスタが強いオン状態になるとともに、この入力信号と前記電源電圧の電位差によって前記第 2 のトランジ

スタが弱いオン状態またはオフ状態となるよう構成し、

前記入力信号がローレベルのとき前記第2のトランジスタが強いオン状態になるとともに、この入力信号の反転信号と前記電源電圧の電位差によって前記第1のトランジスタが弱いオン状態またはオフ状態となるよう構成し、

前記抵抗分割によって生じた中間電位を出力信号として取り出すよう配したことを特徴とするレベル変換回路。

【請求項15】 入力信号の振幅よりも電位差が大きな第1の電源電圧と接地電圧の間に、第1および第2のトランジスタを、それらのオン抵抗によって前記第1の電源電圧と接地電圧が抵抗分割されるようこの順に直列に配し、

前記入力信号の反転信号の振幅よりも電位差が大きな第2の電源電圧と接地電圧の間に、第3および第4のトランジスタを、それらのオン抵抗によって前記第2の電源電圧と接地電圧が抵抗分割されるようこの順に直列に配し、

前記入力信号がハイレベルのとき前記第1のトランジスタと第4のトランジスタが強いオン状態になるとともに、この入力信号とそれぞれ前記第1、第2の電源電圧の電位差によって前記第2のトランジスタと第3のトランジスタが弱いオン状態またはオフ状態となるよう構成し、

前記入力信号がローレベルのとき前記第2のトランジスタと第3のトランジスタが強いオン状態になるとともに、この入力信号の反転信号とそれぞれ前記第1、第2の電源電圧の電位差によって前記第1のトランジスタと第4のトランジスタが弱いオン状態またはオフ状態となるよう構成し、

前記第1と第2のトランジスタによる抵抗分割によって生じた中間電位を前記第3と第4のトランジスタのいずれかの制御に利用し、前記第3と第4のトランジスタによる抵抗分割によって生じた中間電位を前記第1と第2のトランジスタのいずれかの制御に利用し、これらの中間電位の一方を出力信号として取り出すよう配したことを特徴とするレベル変換回路。

【請求項16】 出力ノードと、入力信号のハイレベルよりも高い電源電圧が印加される電源ノードとの間に接続されたpチャネル電界効果トランジスタと

前記入力信号が入力される第1入力ノードと前記出力ノードとの間に接続され

た n チャンネル電界効果トランジスタとを備え、

前記 n チャンネル電界効果トランジスタのゲートは前記電源ノードに接続され、
前記 p チャンネル電界効果トランジスタのゲートは前記入力信号の反転信号が入力される第 2 入力ノードに接続され、出力信号が前記出力ノードにて取り出されることを特徴とするレベル変換回路。

【請求項 17】 第 1 の電源電圧が印加される第 1 の電源ノードと第 1 の出力ノードとの間に接続された p チャンネル電界効果トランジスタである第 1 のトランジスタと、

第 1 入力信号が入力される第 1 入力ノードと前記第 1 の出力ノードとの間に接続された n チャンネル電界効果トランジスタである第 2 のトランジスタと、

第 2 の電源電圧が印加される第 2 の電源ノードと第 2 の出力ノードとの間に接続された p チャンネル電界効果トランジスタである第 3 のトランジスタと、

第 2 入力信号が入力される第 2 入力ノードと前記第 2 の出力ノードとの間に接続された n チャンネル電界効果トランジスタである第 4 のトランジスタとを備え、

前記第 2 及び第 4 のトランジスタのゲートはそれぞれ前記第 1 または第 2 の電源ノードの一方と接続され、前記第 1 及び第 3 のトランジスタのゲートはそれぞれ前記第 2 の出力ノードおよび第 1 の出力ノードに交差接続され、前記第 1 または第 2 の出力ノードから出力信号が取り出されることを特徴とするレベル変換回路。

【請求項 18】 第 1 の電源電圧が印加される第 1 の電源ノードと第 1 の出力ノードとの間に接続された p チャンネル電界効果トランジスタである第 1 のトランジスタと、

第 1 入力信号が入力される第 1 入力ノードと前記第 1 の出力ノードとの間に接続された n チャンネル電界効果トランジスタである第 2 のトランジスタと、

第 2 の電源電圧が印加される第 2 の電源ノードと第 2 の出力ノードとの間に接続された p チャンネル電界効果トランジスタである第 3 のトランジスタと、

第 2 入力信号が入力される第 2 入力ノードと前記第 2 の出力ノードとの間に接続された n チャンネル電界効果トランジスタである第 4 のトランジスタとを備え、

前記第 2 及び第 4 のトランジスタのゲートはそれぞれ前記第 2 の出力ノードお

よび第1の出力ノードに交差接続され、前記第1及び第3のトランジスタのゲートはそれぞれ前記第2及び第1入力ノードに接続され、前記第1または第2の出力ノードから出力信号が取り出されることを特徴とするレベル変換回路。

【請求項19】 接地電圧を V_G 、前記電源電圧を V_{DD} と表記するとき、前記出力信号は目標電圧 $V_m = (V_G + V_{DD}) / 2$ をその振幅の中心にもつよう調整されることを特徴とする請求項1から18のいずれかに記載のレベル変換回路。

【請求項20】 前記目標電圧 V_m を動作中心点にもち、かつその出力の振幅が前記接地電圧付近から前記電源電圧付近までをカバーするバッファ回路をさらに有し、このバッファ回路に前記出力信号を通すことにより整形された修正出力信号を得ることを特徴とする請求項19に記載のレベル変換回路。

【請求項21】 前記トランジスタは、多結晶シリコンにより形成されることを特徴とする請求項1から20のいずれかに記載のレベル変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、レベル変換技術、とくに入力信号の電圧振幅を別の電圧振幅に変換するレベル変換回路に関する。

【0002】

【従来の技術】

近年、バルクシリコンを用いた集積回路として、マイクロプロセッサまたはメモリをロジック回路と同一チップ上に搭載したシステムオンシリコンと称されるチップが開発されている。これに伴って、多くの種類の回路を可能な限り微細なデザインルールで1チップ化する技術の開発が進められている。

【0003】

しかし、回路の種類ごとに異なるデザインルールで設計されているために、デザインルールの異なる回路を集積化することが避けられない。その結果、1チップ内に異なる電源電圧で動作する複数の回路が混載され、それらのインターフェイス部分で電圧のレベル変換が必要となる。また、これら複数の回路の混載がそ

もそも高速性の追求をひとつの目的としている以上、当然、レベル変換回路にも高速動作が要求される。

【0004】

液晶表示装置、有機EL（エレクトロルミネッセンス）装置等の表示デバイスには、一般に多結晶シリコンからなる薄膜トランジスタが用いられる。このような表示デバイスと同一基板上にレベル変換回路を設ける際、通常、レベル変換回路も多結晶シリコンからなる薄膜トランジスタで構成される。トランジスタの製造工程では、しきい値電圧等の素子特性にばらつきが生じる。特に、多結晶シリコンからなる薄膜トランジスタにおいては素子特性のばらつきが大きく、それでも高い確度で動作するレベル変換回路が要求される。さらにこうした表示デバイスでは、省電力化及び高精細化の観点から小振幅の入力信号が与えられた場合でも高速動作が可能なレベル変換回路が必要になる。

【0005】

図40は従来のレベル変換回路の第1の例を示す回路図である。このレベル変換回路800は、2つのpチャネルMOSFET（金属酸化物半導体電界効果トランジスタ）801、802及び2つのnチャネルMOSFET803、804を含む。pチャネルMOSFET801、802は電源電位VDDを受ける電源端子と出力ノードN11、N12の間にそれぞれ接続され、nチャネルMOSFET803、804は出力ノードN11、N12と接地端子との間にそれぞれ接続される。pチャネルMOSFET801、802のゲートはそれぞれ出力ノードN11、N12に交差接続される。nチャネルMOSFET803、804のゲートには相補に変化する入力信号CLK1、CLK2が与えられる。

【0006】

入力信号CLK1がハイレベルとなり、入力信号CLK2がローレベルになると、nチャネルMOSFET803がオンし、nチャネルMOSFET804がオフする。それにより、pチャネルMOSFET802がオンし、pチャネルMOSFET801がオフする。その結果、出力ノードN12の出力電位Voutが上昇する。逆に、入力信号CLK1がローレベルとなり、入力信号CLK2がハイレベルになると、出力ノードN12の出力電位Voutが低下する。

【0007】

この回路で n チャンネル MOSFET 803, 804 がオンするためには、入力信号 CLK1, CLK2 の電圧振幅が n チャンネル MOSFET 803, 804 のしきい値電圧 V_{tn} よりも大きいことが必要となる。したがって、このレベル変換回路 800 は、入力信号と出力信号との電圧比が小さい場合に用いられ、この回路は、例えば 3 V 系の信号を 5 V 系の信号に、2.5 V 系の信号を 3 V 系の信号に、または 1.8 V 系の信号を 2.5 V 系もしくは 3.3 V 系の信号に変換する場合に有効である。

【0008】

図 41 は従来のレベル変換回路の第 2 の例を示す回路図である。このレベル変換回路 810 は、バイアス回路 811、 p チャンネル MOSFET 812 及び n チャンネル MOSFET 813 を含む。

【0009】

p チャンネル MOSFET 812 は電源電位 V_{DD} を受ける電源端子と出力ノード N13 との間に接続され、 n チャンネル MOSFET 813 は出力ノード N13 と所定の電位 V_{EE} を受ける電源端子との間に接続される。入力信号 CLK は p チャンネル MOSFET 812 のゲート及びバイアス回路 811 に与えられる。バイアス回路 811 は入力信号の中心レベルをシフトさせて n チャンネル MOSFET 813 のゲートに与える。

【0010】

入力信号 CLK がハイレベルになると、 p チャンネル MOSFET 812 がオフし、 n チャンネル MOSFET 813 がオンする。それにより、出力ノード N13 の出力電位 V_{out} が低下する。入力信号 CLK がローレベルになると、 p チャンネル MOSFET 812 がオンし、 n チャンネル MOSFET 813 がオフする。それにより、出力ノード N13 の出力電位 V_{out} が上昇する。

【0011】

この回路は、バイアス回路 811 により入力信号 CLK の中心レベルがシフトされるので、設定により、入力信号 CLK の電圧振幅が n チャンネル MOSFET 813 のしきい値電圧 V_{tn} よりも小さい場合でも動作する。

【 0 0 1 2 】

図 4 2 は従来のレベル変換回路の第 3 の例を示す回路図である。このレベル変換回路 8 2 0 は、クランプ回路 8 2 1 及びカレントミラー型の増幅回路 8 2 2 を含む。カレントミラー型の増幅回路 8 2 2 は、2 つの p チャネル MOS F E T 8 3 1, 8 3 2 及び 2 つの n チャネル MOS F E T 8 3 3, 8 3 4 を含む。p チャネル MOS F E T 8 3 1, 8 3 2 は電源電位 V D D を受ける電源端子と出力ノード N 1 4, N 1 5 との間にそれぞれ接続される。n チャネル MOS F E T 8 3 3, 8 3 4 は出力ノード N 1 4, N 1 5 と接地端子との間にそれぞれ接続される。p チャネル MOS F E T 8 3 1, 8 3 2 のゲートは出力ノード N 1 4 に接続される。クランプ回路 8 2 1 は、相補に変化する入力信号 C L K 1, C L K 2 の中心レベルをシフトさせて n チャネル MOS F E T 8 3 3, 8 3 4 のゲートに与える。

【 0 0 1 3 】

入力信号 C L K 1 がハイレベルになり、入力信号 C L K 2 がローレベルになると、n チャネル MOS F E T 8 3 3 がオンし、n チャネル MOS F E T 8 3 4 がオフする。それにより p チャネル MOS F E T 8 3 1, 8 3 2 がオンする。その結果、出力ノード N 1 5 の出力電位 V o u t が上昇する。逆に、入力信号 C L K 1 がローレベルとなり、入力信号 C L K 2 がハイレベルになると、出力ノード N 1 5 の出力電位 V o u t が低下する。

【 0 0 1 4 】

この回路は、クランプ回路 8 2 1 により入力信号 C L K 1, C L K 2 の中心レベルがシフトされるので、入力信号 C L K 1, C L K 2 の電圧振幅が n チャネル MOS F E T 8 3 3, 8 3 4 のしきい値電圧 V t n よりも小さい場合でも動作する。

【 0 0 1 5 】

図 4 3 は従来のレベル変換回路の第 4 の例を示す回路図である。図 4 3 のレベル変換回路 8 4 0 は、クランプ回路 8 4 1 及び PMOS クロスカップル型の増幅回路 8 4 2 を含む。

【 0 0 1 6 】

PMOS クロスカップル型の増幅回路 842 は、2つの p チャネル MOSFET 851, 852 及び 2つの n チャネル MOSFET 853, 854 を含む。p チャネル MOSFET 851, 852 は電源電位 VDD を受ける電源端子と出力ノード N16, N17 との間にそれぞれ接続され、n チャネル MOSFET 853, 854 は出力ノード N16, N17 と設置端子との間にそれぞれ接続される。p チャネル MOSFET 851, 852 のゲートはそれぞれ出力ノード N17, N16 に交差接続される。クランプ回路 841 は、相補に変化する入力信号 CLK1, CLK2 の中心レベルをシフトさせて n チャネル MOSFET 853, 854 のゲートに与える。

【0017】

入力信号 CLK1 がハイレベルになり、入力信号 CLK2 がローレベルになると、n チャネル MOSFET 853 がオンし、n チャネル MOSFET 854 がオフする。それにより p チャネル MOSFET 851 がオフし、p チャネル MOSFET 852 がオンする。その結果、出力ノード N17 の出力電位 Vout が上昇する。逆に、入力信号 CLK1 がローレベルとなり、入力信号 CLK2 がハイレベルになると、出力ノード N17 の出力電位 Vout が低下する。

【0018】

この回路は、クランプ回路 841 により入力信号 CLK1, CLK2 の中心レベルがシフトされるので、入力信号 CLK1, CLK2 の電圧振幅が n チャネル MOSFET 853, 854 のしきい値電圧 V_{tn} よりも小さい場合でも動作する。

【0019】

【発明が解決しようとする課題】

図 40 のレベル変換回路 800 は、入力信号 CLK1, CLK2 の電圧振幅が n チャネル MOSFET 803, 804 のしきい値電圧 V_{tn} よりも小さい場合には動作することができない。

【0020】

図 41 のレベル変換回路 810 は、バイアス回路 811 の存在により、入力信号 CLK の電圧振幅が n チャネル MOSFET 813 のしきい値電圧 V_{tn} より

も小さい場合でも動作することが可能となる。同様に、図42及び図43のレベル変換回路820, 840も、クランプ回路821, 841の存在により、入力信号CLK1, CLK2の電圧振幅がnチャネルMOSFET833, 834, 853, 854のしきい値電圧 V_{tn} よりも小さい場合でも動作することが可能となる。

【0021】

しかしながら、図41～図43のレベル変換回路810, 820, 840においても製造工程のばらつきによってnチャネルMOSFETのしきい値電圧 V_{tn} が設計値から大きくずれると、動作しない場合が生じる。

【0022】

図40～図43のレベル変換回路800, 810, 820, 840のいずれにおいても製造工程でpチャネルMOSFET及びnチャネルMOSFETのしきい値電圧が不規則にばらついた場合、例えばnチャネルMOSFETのしきい値電圧が大きく、pチャネルMOSFETのしきい値電圧 V_{tp} が小さくなった場合や、nチャネルMOSFETのしきい値電圧 V_{tn} が小さく、pチャネルMOSFETのしきい値電圧 V_{tp} が大きくなった場合、出力電圧波形のデューティ比が所定の設計値からずれる。特に、レベル変換回路を表示デバイスのクロック信号のために用いるとき、信号のデューティ比が50%に保たれないと、複数の表示デバイス間で画素の点灯及び消灯時間にばらつきが生じる。

【0023】

図40のレベル変換回路800においては、nチャネルMOSFET803, 804のオンオフの反転時にpチャネルMOSFET801, 802のゲート電荷の引き抜き合いが行われる。そのため、出力電位 V_{out} のレベルの反転に時間を要することとなり、高速動作を図ることができない。pチャネルMOSFET801, 802として多結晶シリコンからなる薄膜トランジスタのように駆動能力が小さいトランジスタを用いた場合、この時間はさらに増大する。出力電位 V_{out} のレベルの反転時、電源端子からpチャネルMOSFET801及びnチャネルMOSFET803の経路またはpチャネルMOSFET802及びnチャネルMOSFET804の経路を通して接地端子には貫通電流が流れ、出力

電位 V_{out} のレベルの反転に時間を要すればそれだけ消費電力が増える。

【0024】

また、図 4 2 及び図 4 3 のレベル変換回路 8 2 0, 8 4 0 のクランプ回路 8 2 1, 8 4 1 については、一般にそれらが大きなレイアウト面積を要する点でも改善の余地が認められる。

【0025】

本発明の目的は、製造工程でのばらつきによりトランジスタのしきい値電圧が設計値からずれた場合でも、より高い確度で動作できるとともに、高速動作、低消費電力化及び小面積化が可能なレベル変換回路を提供することにある。

【0026】

【課題を解決するための手段】

本発明のある態様は、レベル変換回路に関する。この回路は、電源電圧が印加される電源ノードと出力ノードとの間に接続された第 1 導電型の第 1 のトランジスタと、第 1 入力信号が入力される第 1 入力ノードと前記出力ノードとの間に接続された第 2 導電型の第 2 のトランジスタとを備え、前記第 2 のトランジスタの制御電極は前記電源ノードに接続され、前記第 1 のトランジスタの制御電極は第 2 入力信号が入力される第 2 入力ノードに接続され、前記出力ノードから出力信号が取り出される。

【0027】

この構成により、第 1 および第 2 入力信号の変化に応じて第 1 及び第 2 のトランジスタのオン状態が制御され、前記の電源電圧にそのハイレベルが依存する出力信号が得られる。したがって、例えば第 1 及び第 2 入力信号の電圧振幅が第 1 及び第 2 のトランジスタのしきい値電圧よりも小さい場合でも動作可能な構成を得ることができる。

【0028】

また、第 2 のトランジスタの制御電極が定電位であるため、第 1 入力信号によって直接第 2 トランジスタのオン状態を変化させることができ、高速動作の実現が容易になる。高速動作が実現すれば出力信号の電位の遷移期間が短くなり、貫通電流が流れる期間が短縮され、低消費電力化に寄与できる。さらにこの構成は

、主に第 1 及び第 2 のトランジスタのみで実現できるため、省面積化設計の面でも有利である。

【0 0 2 9】

本発明のある態様では、前記の電源電圧は前記第 1 および第 2 のトランジスタのそれぞれについて単一または個別に設けられ、第 1 のトランジスタに対応する電源電圧は前記第 1 入力信号のハイレベルよりも高い値に設定され、第 2 のトランジスタに対応する電源電圧は前記第 2 入力信号のハイレベルよりも高い値に設定され、それらの電源電圧と前記第 1 入力信号および第 2 入力信号の電圧の差に応じて前記第 1 及び第 2 のトランジスタのオン状態の程度が制御され、第 1 入力信号が前記電源電圧に対応した前記出力信号に変換される。

【0 0 3 0】

別の態様では、前記電源電圧は前記第 1 入力信号のハイレベルよりも高い値に設定され、それらの電圧の差に応じて前記第 1 のトランジスタのオン状態の程度が制御され、前記第 1 入力信号が前記電源電圧に対応した前記出力信号に変換される。さらに別の態様では、前記電源電圧は前記第 2 入力信号のハイレベルよりも高い値に設定され、それらの電圧の差に応じて前記第 2 のトランジスタのオン状態の程度が制御され、第 1 入力信号が第 1 のトランジスタに作用する電源電圧に対応した前記出力信号に変換される。「第 1 のトランジスタに作用する電源電圧」とは、たとえば、そのトランジスタが MOSFET でありそのソースに電源電圧が印加されているとき、その電圧をいう。

【0 0 3 1】

「対応した」とは、必ずしも両者の一致をいうのではなく、出力信号が電源電圧の関数になっていればよい。例えば、電源電圧が相対的に高い値であれば、出力信号のハイレベルが入力信号のそれよりも高い方向へ引き上げられることが考えられる。

【0 0 3 2】

以下、第 1 から第 4 のトランジスタが存在する場合において「電源電圧」または「第 1 の電源電圧」および「第 2 の電源電圧」というとき、これらのトランジスタに共通の電源電圧がひとつだけ設けられていてもよいし、第 1 のトランジス

タと第3のトランジスタについて別々の電源電圧が設定されていてもよい。電源電圧に関するこの考察は、電源電圧が単一か別個かに関する明示的な記述の有無によらず本明細書を通じて有効とし、その理由は、これらの異同の詳述が当業者にとって有益というよりはむしろ煩瑣に過ぎるためである。同様の考察は「接地電圧」というときにも有効である。

【0033】

本発明のある態様では、第2のトランジスタの制御電極は、電源電圧を所定量引き下げる制御回路を介して電源ノードに接続される。同様に、第1のトランジスタの制御電極は、第2入力ノードの電圧を所定量引き上げる制御回路を介して第2入力ノードに接続されてもよい。これらの制御回路は、それぞれ電源電圧と第1入力ノードとの電位差、および電源電圧と第2入力ノードの電位差が大きすぎてそれぞれ第2のトランジスタおよび第1のトランジスタが必要な程度までオフしない状態を回避する。一般に、第1および第2のトランジスタはつねにともにオンさせておくことができ、ただしそのオンの程度の強弱によって出力信号をより高い電位またはより低い電位へ、いわばトランジスタの「綱引き」によって変化させることができる。トランジスタは、そのオン抵抗に等価な抵抗素子と見なすことができるためである。この方法はトランジスタが完全にオフしている状態からオンするまでの時間を必要としないため、高速動作に向く。しかし、本来オフすべきときにオンの状態が強すぎると、出力信号の電位が必要な量だけ変化しないことがある。そのため、制御回路を適度に設けることにより、制御電圧を所望の値へ調整する趣旨である。

【0034】

本発明のさらに別の態様もレベル変換回路に関する。この回路は、電源ノードと第1の出力ノードとの間に接続された第1導電型の第1のトランジスタと、第1入力信号が入力される第1入力ノードと第1の出力ノードとの間に接続された第2導電型の第2のトランジスタと、電源ノードと第2の出力ノードとの間に接続された第1導電型の第3のトランジスタと、第2の入力信号が入力される第2入力ノードと第2の出力ノードとの間に接続された第2導電型の第4のトランジスタとを備える。また、第2及び第4のトランジスタの制御電極は電源ノードと

接続され、第1及び第3のトランジスタの制御電極はそれぞれ第2の出力ノードおよび第1の出力ノードに交差接続される。この構成において、第1または第2の出力ノードから出力信号が取り出される。

【0035】

この構成によれば、第1及び第3のトランジスタのしきい値電圧に拘わらず、これらをより確実に制御できるので、所望のレベル変換が実現しやすくなる。また、第1及び第2トランジスタで構成する回路の出力信号のデューティ比と第3及び第4トランジスタで構成する回路の出力信号のデューティ比に差があってもそれぞれの出力信号が互いに相手の回路の制御信号となるので、補完されて、デューティ比が揃う方向に作用する。したがって、たとえば製造ばらつきにより第1から第4トランジスタのしきい値電圧が設計値からずれた場合でも、より確実な動作が期待できる。

【0036】

本発明のさらに別の態様もレベル変換回路に関する。この回路は、電源ノードと第1の出力ノードとの間に接続された第1導電型の第1のトランジスタと、第1入力信号が入力される第1入力ノードと第1の出力ノードとの間に接続された第2導電型の第2のトランジスタと、電源ノードと第2の出力ノードとの間に接続された第1導電型の第3のトランジスタと、第2入力信号が入力される第2入力ノードと第2の出力ノードとの間に接続された第2導電型の第4のトランジスタとを備え、第2及び第4のトランジスタの制御電極はそれぞれ第2の出力ノードおよび第1の出力ノードに交差接続され、第1及び第3のトランジスタの制御電極はそれぞれ第2及び第1入力ノードに接続され、第1または第2の出力ノードから出力信号が取り出される。

【0037】

この構成によれば、第2及び第4のトランジスタのしきい値電圧に拘わらず、これらをより確実に制御できるので、所望のレベル変換が実現しやすくなる。また、前述のデューティ比の補完作用も得られる。

【0038】

本発明のさらに別の態様もレベル変換回路に関する。この回路は、いままでに

述べたいずれかのレベル変換回路と、その回路において第1入力信号と第2入力信号を入れ替えた回路と、さらに、それらふたつの回路の出力信号をふたつの制御入力信号とするクロスカップル型の差動増幅回路、またはカレントミラー型の増幅回路とを備え、これらいずれかの増幅回路を構成するふたつの電流経路のそれぞれに配されるふたつのトランジスタの接続点が最終的な出力信号を取り出すべき出力ノードに接続される。この構成でも、前述のデューティ比に関する改善が実現する。

【0039】

本発明のさらに別の態様もレベル変換回路に関する。この回路は、入力信号の振幅よりも電位差が大きな電源電圧と接地電圧の間に、第1および第2のトランジスタを、それらのオン抵抗によって電源電圧と接地電圧が抵抗分割されるよう直列に配し、入力信号がハイレベルのとき第1のトランジスタが強いオン状態になるとともに、この入力信号と電源電圧の電位差によって第2のトランジスタが弱いオン状態はオフ状態となるよう構成し、入力信号がローレベルのとき第2のトランジスタが強いオン状態になるとともに、この入力信号の反転信号と電源電圧の電位差によって第1のトランジスタが弱いオン状態またはオフ状態となるよう構成し、前記の抵抗分割によって生じた中間電位を出力信号として取り出すよう配したものである。

【0040】

本発明のさらに別の態様もレベル変換回路に関する。この回路は、入力信号の振幅よりも電位差が大きな第1の電源電圧と接地電圧の間に、第1および第2のトランジスタを、それらのオン抵抗によって前記第1の電源電圧と接地電圧が抵抗分割されるようこの順に直列に配し、前記入力信号の反転信号の振幅よりも電位差が大きな第2の電源電圧と接地電圧の間に、第3および第4のトランジスタを、それらのオン抵抗によって前記第2の電源電圧と接地電圧が抵抗分割されるようこの順に直列に配し、前記入力信号がハイレベルのとき前記第1のトランジスタと第4のトランジスタが強いオン状態になるとともに、この入力信号とそれぞれ前記第1、第2の電源電圧の電位差によって前記第2のトランジスタと第3のトランジスタが弱いオン状態またはオフ状態となるよう構成し、前記入力信号

がローレベルのとき前記第2のトランジスタと第3のトランジスタが強いオン状態になるとともに、この入力信号の反転信号とそれぞれ前記第1、第2の電源電圧の電位差によって前記第1のトランジスタと第4のトランジスタが弱いオン状態またはオフ状態となるよう構成し、前記第1と第2のトランジスタによる抵抗分割によって生じた中間電位を前記第3と第4のトランジスタのいずれかの制御に利用し、前記第3と第4のトランジスタによる抵抗分割によって生じた中間電位を前記第1と第2のトランジスタのいずれかの制御に利用し、これらの中間電位の一方を出力信号として取り出すよう配したものである。

【0041】

本発明のさらに別の態様もレベル変換回路に関する。この回路は、出力ノードと、入力信号のハイレベルよりも高い電源電圧が印加される電源ノードとの間に接続されたpチャネル電界効果トランジスタと、入力信号が入力される第1入力ノードと出力ノードとの間に接続されたnチャネル電界効果トランジスタとを備え、nチャネル電界効果トランジスタのゲートは電源ノードに接続され、pチャネル電界効果トランジスタのゲートは入力信号の反転信号が入力される第2入力ノードに接続され、出力信号が出力ノードにて取り出されるものである。

【0042】

本発明のさらに別の態様もレベル変換回路に関する。この回路は、第1の電源電圧が印加される第1の電源ノードと第1の出力ノードとの間に接続されたpチャネル電界効果トランジスタである第1のトランジスタと、第1入力信号が入力される第1入力ノードと前記第1の出力ノードとの間に接続されたnチャネル電界効果トランジスタである第2のトランジスタと、第2の電源電圧が印加される第2の電源ノードと第2の出力ノードとの間に接続されたpチャネル電界効果トランジスタである第3のトランジスタと、第2入力信号が入力される第2入力ノードと前記第2の出力ノードとの間に接続されたnチャネル電界効果トランジスタである第4のトランジスタとを備える。この構成においてさらに、

1) 前記第2及び第4のトランジスタのゲートはそれぞれ前記第1または第2の電源ノードの一方と接続され、前記第1及び第3のトランジスタのゲートはそれぞれ前記第2の出力ノードおよび第1の出力ノードに交差接続され、前記第1

または第 2 の出力ノードから出力信号が取り出され、または、

2) 前記第 2 及び第 4 のトランジスタのゲートはそれぞれ前記第 2 の出力ノードおよび第 1 の出力ノードに交差接続され、前記第 1 及び第 3 のトランジスタのゲートはそれぞれ前記第 2 及び第 1 入力ノードに接続され、前記第 1 または第 2 の出力ノードから出力信号が取り出される。

ここでも、第 1 の電源ノードと第 2 の電源ノードは同一でも別でもよい。

【0 0 4 3】

以上のいずれかのレベル変換回路において、接地電圧を V_G 、前記電源電圧を V_{DD} と表記するとき、出力信号は目標電圧 $V_m = (V_G + V_{DD}) / 2$ をその振幅の中心にもつよう調整されてもよい。また、目標電圧 V_m を動作中心点にもち、かつその出力の振幅が接地電圧付近から電源電圧付近までをカバーするバッファ回路をさらに有し、このバッファ回路に出力信号を通すことにより整形された修正出力信号を得てもよい。

【0 0 4 4】

以上述べたいずれの、またはすべてのトランジスタは多結晶の半導体により形成されるものであってもよい。例えば、本発明に係るレベル変換回路を液晶表示装置その他の表示装置のドライバ回路等に利用する場合、透明なガラス基板上に回路を形成する必要があることも多く、多結晶タイプの半導体であれば、比較的性能面で有利かつガラス上に薄膜として形成しやすいため、用途によっては好都合である。また、動作速度の面でも有利なことが多い。

【0 0 4 5】

以上述べたいずれのレベル変換回路も所定の半導体装置その他に組み込むことができる。この半導体装置は例えば、複数のセンサと、これらのセンサのいずれかを選択する複数の選択用トランジスタと、前記複数のセンサを複数の選択用トランジスタを介して駆動する周辺回路と、所定の信号をレベル変換して前記周辺回路に与えるレベル変換回路を備える。表示装置の例は、複数の表示素子と、それら複数の表示素子のいずれかを選択するための複数の選択用トランジスタと、前記複数の表示素子を前記複数の選択用トランジスタを介して駆動する周辺回路と、所定の信号をレベル変換して前記周辺回路に与えるレベル変換回路を備える

。前記複数の表示素子は液晶表示素子や有機エレクトロルミネッセンス素子であってもよく、複数の液晶素子、複数の選択用トランジスタ、周辺回路及びレベル変換回路は絶縁基板上に形成されてもよい。選択用トランジスタとレベル変換回路の第1から第4のトランジスタは、薄膜トランジスタであってもよい。いずれの場合も、トランジスタの製造ばらつきが大きい場合でも、より確実な動作が可能になり、高速動作、低消費電力化、省面積設計が容易になる。

【0046】

なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システムなどの間で変換したものもまた、本発明の態様として有効である。

【0047】

【発明の実施の形態】

実施の形態1.

図1は第1の実施の形態におけるレベル変換回路の構成を示す回路図である。図1において、レベル変換回路1は、レベル変換部101及びドライブ用インバータINV1、INV2を備える。レベル変換部101は、pチャネルMOSFET（金属-酸化物-半導体形電界効果トランジスタ）11、nチャネルMOSFET12を含む。ドライブ用インバータINV1、INV2は、pチャネルMOSFET及びnチャネルMOSFETからなるCMOS回路により構成される。

【0048】

pチャネルMOSFET11のソースは電源電位VDDを受ける電源端子に接続され、ドレインは出力ノードNOに接続され、ゲートは入力ノードI2に接続される。nチャネルMOSFET12のソースは入力ノードI1と接続され、ドレインは出力ノードNOに接続され、ゲートは電源電位VDDを受ける電源端子に接続される。

【0049】

入力ノードI1、I2には、相補にハイレベルとローレベルとに変化する入力信号CLK1、CLK2がそれぞれ与えられる。入力信号CLK1、CLK2のハイレベルとローレベルとの間の電位差は、電源電位VDDと接地電位との間の

電位差よりも小さい。本実施の形態では、入力信号CLK1、CLK2のローレベルは接地電位であり、ハイレベルは電源電位VDDと接地電位との間の電位である。

【0050】

図1のレベル変換回路の動作を説明する。CLK1がローレベル、CLK2がハイレベルのとき、pチャネルMOSFET11は、ゲート電位であるCLK2のハイレベルの電位とソース電位である電源電位との電位差の絶対値とpチャネルMOSFET11のしきい値電圧 V_{tp} の絶対値との大小関係により、オフ状態あるいは弱いオン状態になる。nチャネルMOSFET12は、ソース電位がCLK1のローレベルの電位であり、ゲート電位が電源電位であるので強いオン状態になる。したがって、pチャネルMOSFET11のオン抵抗は、nチャネルMOSFET12のオン抵抗よりも大きくなり、出力ノードNOの電位 V_{out} はnチャネルMOSFET12のソース電位であるCLK1のローレベルを反映して低くなる。

【0051】

一方、CLK1がハイレベル、CLK2がローレベルのとき、pチャネルMOSFET11は、ゲート電位がCLK2のローレベルの電位であり、ゲート電位が電源電位であるので強いオン状態になる。nチャネルMOSFET12は、ソース電位であるCLK1のハイレベルの電位とゲート電位である電源電位との電位差の絶対値とnチャネルMOSFET12のしきい値電圧 V_{tn} の絶対値との大小関係により、オフ状態あるいは弱いオン状態になる。したがって、pチャネルMOSFET11のオン抵抗は、nチャネルMOSFET12のオン抵抗よりも小さくなり、出力ノードNOの電位 V_{out} はpチャネルMOSFET11のソース電位である電源電位を反映して高くなる。ドライブ用インバータINV1及びINV2は、出力電位 V_{out} を電源電位VDDと接地電位とに変化する出力電位VOUTに変換する。

【0052】

本実施の形態におけるレベル変換回路を多結晶シリコンからなる薄膜トランジスタにより構成した場合の特性のシミュレーションを行った。まず、図1のレベ

ル変換回路 1 の動作の高速性を調べた。

【 0 0 5 3 】

一般に、バルクシリコンからなるトランジスタでは、p チャンネルトランジスタのしきい値電圧 V_{tp} は例えば (-0.9 ± 0.1) V であり、n チャンネルトランジスタのしきい値電圧 V_{tn} は例えば (0.7 ± 0.1) V である。一方、多結晶シリコンを用いた薄膜トランジスタでは、p チャンネルトランジスタのしきい値電圧 V_{tp} は例えば $(-2.0 \pm 1 \sim 1.5)$ V であり、n チャンネルトランジスタのしきい値電圧 V_{tn} は例えば (1.5 ± 1) V である。このように多結晶シリコンを用いた薄膜トランジスタでは、バルクシリコンからなるトランジスタに比べて製造工程でのしきい値電圧のばらつきは大きくなる。

【 0 0 5 4 】

図 2 はシミュレーション結果を示す図である。高速動作性を確認するために、入力信号 CLK 1、CLK 2 の周波数を 20 MHz、入力電圧振幅を 3.0 V、電源電圧 VDD を 10 V とした。図 2 には、入力信号 CLK 1、CLK 2、出力電位 VOUT 及び出力ノード NO の出力電位 V_{out} の波形を示す。図 2 のシミュレーション結果から、20 MHz という高い周波数でも入力信号 CLK 1、CLK 2 に応答してデューティ比 50 % の出力電位 VOUT が得られることがわかる。このように、レベル変換回路 1 を多結晶シリコンからなる薄膜トランジスタによって構成しても高速動作が可能となる。

【 0 0 5 5 】

次に、レベル変換回路の p チャンネル MOSFET 及び n チャンネル MOSFET のしきい値電圧がばらついた場合の電圧波形のシミュレーションを行った。このシミュレーションでは、実用的な速度における動作を確認するために、入力信号 CLK 1、CLK 2 の周波数は 2 MHz とした。

【 0 0 5 6 】

図 3 は、p チャンネル MOSFET 及び n チャンネル MOSFET のしきい値電圧が設定値に比べて小さい場合のシミュレーション結果である。図 3 のシミュレーションでは、p チャンネル MOSFET のしきい値パラメータ（しきい値電圧）を -0.5 V とし、n チャンネル MOSFET のしきい値パラメータ（しきい値電圧

) を 0.5 V とした。

【0057】

図4は、pチャネルMOSFET及びnチャネルMOSFETのしきい値電圧が設定値の場合のシミュレーション結果である。図4のシミュレーションでは、pチャネルMOSFETのしきい値パラメータを-2.0 Vとし、nチャネルMOSFETのしきい値パラメータを1.5 Vとした。

【0058】

図5は、pチャネルMOSFET及びnチャネルMOSFETのしきい値電圧が設定値に比べて大きい場合のシミュレーション結果である。図5のシミュレーションでは、pチャネルMOSFETのしきい値パラメータを-3.5 Vとし、nチャネルMOSFETのしきい値パラメータを2.5 Vとした。

【0059】

図3、4及び5の結果から、pチャネルMOSFET及びnチャネルMOSFETのしきい値電圧が設定値から比較的大きくずれた場合でも、入力信号CLK1、CLK2に応答してデューティ比が50%の出力電位VOUTが得られることがわかる。

【0060】

本実施の形態におけるレベル変換回路1においては、基本的に常時オン状態になっているpチャネルMOSFET11及びnチャネルMOSFET12のオン状態の程度を入力信号CLK1及びCLK2によって制御するので、CLK1及びCLK2の電圧振幅がpチャネルMOSFET11及びnチャネルMOSFET12のしきい値電圧よりも小さい場合でも動作が可能になる。また、pチャネルMOSFET11及びnチャネルMOSFET12のしきい値電圧が設計値よりも大きくずれた場合でも、入力信号CLK1及びCLK2のレベル変化に対応した出力電位Voutが得られる。このように、製造工程でのばらつきによりpチャネルMOSFET11及びnチャネルMOSFET12のしきい値電圧が設計値からずれた場合にでも高い確度で動作することができる。

【0061】

また、基本的に常時オン状態になっているpチャネルMOSFET11及びn

チャネルMOSFET 12 のオン状態の程度が制御されるので、高速動作が可能になる。さらに、高速動作が可能であるので出力電位 V_{out} のレベルの遷移期間が短くなるので、貫通電流が流れる期間が短縮される。それにより低消費電力化を図ることができる。

【0062】

また、レベル変換回路 1 は、p チャネルMOSFET 11 及び n チャネルMOSFET 12 のみで構成できるので、回路素子数が少なくて良く、小面積化を図ることができるとともに、回路設計が容易になる。

【0063】

実施の形態 2.

図 6 は第 2 の実施の形態におけるレベル変換回路の構成を示す回路図である。図 6 において、レベル変換回路 2 は、レベル変換部 201 及びドライブ用インバータ INV1、INV2、INV3、INV4 を備える。レベル変換部 201 は、p チャネルMOSFET 21、23、n チャネルMOSFET 22、24 を含む。ドライブ用インバータ INV1、INV2、INV3、INV4 は、p チャネルMOSFET 及び n チャネルMOSFET からなる CMOS 回路により構成される。

【0064】

p チャネルMOSFET 21 及び 23 のソースは電源電位 V_{DD} を受ける電源端子にそれぞれ接続され、ドレインは出力ノード NO1、NO2 にそれぞれ接続され、ゲートは出力ノード NO2、NO1 にそれぞれ接続される。n チャネルMOSFET 22、24 のソースは入力ノード I1、I2 とそれぞれ接続され、ドレインは出力ノード NO1、NO2 にそれぞれ接続され、ゲートは電源電位 V_{DD} を受ける電源端子にそれぞれ接続される。

【0065】

このように、図 6 のレベル変換回路において、p チャネルMOSFET 21 と n チャネルMOSFET 22 で構成される回路と p チャネルMOSFET 23 と n チャネルMOSFET 24 で構成される回路は、ほぼ図 1 のレベル変換回路と同じ構成であるが、それぞれの回路の出力ノード NO1、NO2 と p チャネルM

OSFET 21、23のゲートを交差接続する。入力信号CLK1、CLK2と電源電位VDDの電位及びそれぞれの関係は第1の実施の形態と同じである。

【0066】

以下に、図6のレベル変換回路の動作を説明する。CLK1がローレベル、CLK2がハイレベルのとき、nチャネルMOSFET 22は、ソース電位がCLK1のローレベルの電位であり、ゲート電位が電源電位であるので強いオン状態になり、出力ノードNO1の電位Vout1はnチャネルMOSFET 22のソース電位であるCLK1のローレベルを反映して低くなる。これにより、pチャネルMOSFET 23のゲート電位は、低くなった出力ノードNO1の電位Vout1となり、ソース電位である電源電位との関係により、十分強いオン状態になる。このとき、nチャネルMOSFET 24は、ソース電位であるCLK2のハイレベルの電位とゲート電位である電源電位との電位差の絶対値とnチャネルMOSFET 24のしきい値電圧 V_{tn} の絶対値との大小関係により、オフ状態あるいは弱いオン状態であるので、pチャネルMOSFET 23のオン抵抗は、nチャネルMOSFET 24のオン抵抗よりも十分小さくなり、出力ノードNO2の電位Vout2はpチャネルMOSFET 23のソース電位である電源電位を反映して高くなる。このときの電位Vout2はCLK1、CLK2のハイレベルよりも十分高くなる。したがって、pチャネルMOSFET 21は、高くなった出力ノードNO2の電位Vout2とソース電位である電源電位との電位差の絶対値とpチャネルMOSFET 21のしきい値電圧 V_{tp} の絶対値との大小関係により、オフ状態あるいは十分弱いオン状態になる。

【0067】

一方、CLK1がハイレベル、CLK2がローレベルのとき、nチャネルMOSFET 24は、ソース電位がCLK2のローレベルの電位であり、ゲート電位が電源電位であるので強いオン状態になり、出力ノードNO2の電位Vout2はnチャネルMOSFET 24のソース電位であるCLK2のローレベルを反映して低くなる。これにより、pチャネルMOSFET 21のゲート電位は、低くなった出力ノードNO2の電位Vout2となり、ソース電位である電源電位との関係により、十分強いオン状態になる。このとき、nチャネルMOSFET 2

2 は、ソース電位である CLK 1 のハイレベルの電位とゲート電位である電源電位との電位差の絶対値と n チャネル MOSFET 22 のしきい値電圧 V_{tn} の絶対値との大小関係により、オフ状態あるいは弱いオン状態であるので、p チャネル MOSFET 21 のオン抵抗は、n チャネル MOSFET 22 のオン抵抗よりも十分小さくなり、出力ノード NO 1 の電位 V_{out1} は p チャネル MOSFET 21 のソース電位である電源電位を反映して高くなる。このときの電位 V_{out1} は CLK 1、CLK 2 のハイレベルよりも十分高くなる。したがって、p チャネル MOSFET 23 は、高くなった出力ノード NO 1 の電位 V_{out1} とソース電位である電源電位との電位差の絶対値と p チャネル MOSFET 23 のしきい値電圧 V_{tp} の絶対値との大小関係により、オフ状態あるいは十分弱いオン状態になる。

【0068】

ドライブ用インバータ INV 1 及び INV 2 は、出力電位 V_{out1} を電源電位 VDD と接地電位とに変化する出力電位 VOUT 1 に変換し、ドライブ用インバータ INV 3 及び INV 4 は、出力電位 V_{out2} を電源電位 VDD と接地電位とに変化する出力電位 VOUT 2 に変換する。

【0069】

本実施の形態におけるレベル変換回路を多結晶シリコンからなる薄膜トランジスタにより構成した場合の特性のシミュレーションを行った。まず、図 6 のレベル変換回路 2 の動作の高速性を調べた。

【0070】

図 7 はシミュレーション結果を示す図である。入力信号 CLK 1、CLK 2 の周波数を 20 MHz、入力電圧振幅を 3.0 V、電源電圧 VDD を 10 V とした。図 7 (a) には、入力信号 CLK 1、CLK 2 及び出力電位 VOUT 1、VOUT 2 の波形を示し、図 7 (b) には、出力ノード NO 1、NO 2 の出力電位 V_{out1} 、 V_{out2} の波形を示す。

【0071】

図 7 のシミュレーション結果から、20 MHz という高い周波数でも入力信号 CLK 1、CLK 2 に応答してデューティ比 50 % の出力電位 VOUT 1、VO

U T 2 が得られることがわかる。このように、レベル変換回路 2 を多結晶シリコンからなる薄膜トランジスタによって構成しても高速動作が可能となる。

【 0 0 7 2 】

次に、レベル変換回路の p チャンネル MOS F E T 及び n チャンネル MOS F E T のしきい値電圧がばらついた場合の電圧波形のシミュレーションを行った。このシミュレーションでは、入力信号 C L K 1、C L K 2 の周波数は 2 M H z とした。

【 0 0 7 3 】

図 8 は、p チャンネル MOS F E T 及び n チャンネル MOS F E T のしきい値電圧が設定値に比べて小さい場合のシミュレーション結果である。図 8 のシミュレーションでは、p チャンネル MOS F E T のしきい値パラメータ（しきい値電圧）を -0.5 V とし、n チャンネル MOS F E T のしきい値パラメータ（しきい値電圧）を 0.5 V とした。

【 0 0 7 4 】

図 9 は、p チャンネル MOS F E T 及び n チャンネル MOS F E T のしきい値電圧が設定値の場合のシミュレーション結果である。図 9 のシミュレーションでは、p チャンネル MOS F E T のしきい値パラメータを -2.0 V とし、n チャンネル MOS F E T のしきい値パラメータを 1.5 V とした。

【 0 0 7 5 】

図 1 0 は、p チャンネル MOS F E T 及び n チャンネル MOS F E T のしきい値電圧が設定値に比べて大きい場合のシミュレーション結果である。図 1 0 のシミュレーションでは、p チャンネル MOS F E T のしきい値パラメータを -3.5 V とし、n チャンネル MOS F E T のしきい値パラメータを 2.5 V とした。

【 0 0 7 6 】

図 8、9 及び 1 0 の結果から、p チャンネル MOS F E T 及び n チャンネル MOS F E T のしきい値電圧が設定値から比較的大きくずれた場合でも、入力信号 C L K 1、C L K 2 に応答してデューティ比が 5 0 % の出力電位 V O U T 1、V O U T 2 が得られることがわかる。

【 0 0 7 7 】

本実施の形態におけるレベル変換回路 2 においては、p チャンネル MOSFET 21 と n チャンネル MOSFET 22 で構成される回路と p チャンネル MOSFET 23 と n チャンネル MOSFET 24 で構成される回路のそれぞれの出力ノード NO1、NO2 と p チャンネル MOSFET 21、23 のゲートが交差接続されており、入力信号 CLK1、CLK2 のハイレベルとローレベルとの間の電位差よりも大きい電位差を持つ Vout1 と Vout2 が p チャンネル MOSFET 21、23 のゲートに入力されるので、p チャンネル MOSFET 21、23 をより確実にオンオフさせることができる。したがって、CLK1 及び CLK2 の電圧振幅が p チャンネル MOSFET 21、23 及び n チャンネル MOSFET 22、24 のしきい値電圧よりも小さい場合でも確実な動作が可能になる。

【0078】

また、p チャンネル MOSFET 21 と n チャンネル MOSFET 22 で構成される回路と p チャンネル MOSFET 23 と n チャンネル MOSFET 24 で構成される回路のそれぞれの出力信号 Vout1、Vout2 のデューティ比が異なった場合でも、出力信号 Vout1、Vout2 が他方の回路の入力信号になるので、互いに補完されて両出力信号のデューティ比をそろえることができる。さらに、p チャンネル MOSFET 21、23 及び n チャンネル MOSFET 22、24 のしきい値電圧が設計値よりも大きくずれた場合でも、入力信号 CLK1 及び CLK2 のレベル変化に対応した出力電位 Vout1、Vout2 が得られる。このように、製造工程でのばらつきにより p チャンネル MOSFET 21、23 及び n チャンネル MOSFET 22、24 のしきい値電圧が設計値からずれた場合にでも高い確度で動作することができる。

【0079】

なお、図 6 において電源電圧は単一に設定されたが、これはふたつの p チャンネル MOSFET 21、23 について別個に設定されてもよい。その場合、ふたつの n チャンネル MOSFET 22、24 のゲートはそれぞれ p チャンネル MOSFET 21、23 に対応する電源電圧に接続されることが一般的であるが、必ずしもそれに限る必要はなく、動作可能な設定範囲であれば、当然ながら交互に接続しても差し支えはない。同様の考察は以下の実施の形態でも有効である。

【0080】

実施の形態 3.

図 11 は第 3 の実施の形態におけるレベル変換回路の構成を示す回路図である。図 11 において、レベル変換回路 3 は、レベル変換部 301 及びドライブ用インバータ INV1、INV2、INV3、INV4 を備える。レベル変換部 301 は、p チャンネル MOSFET 31、33、n チャンネル MOSFET 32、34 を含む。ドライブ用インバータ INV1、INV2、INV3、INV4 は、p チャンネル MOSFET 及び n チャンネル MOSFET からなる CMOS 回路により構成される。

【0081】

p チャンネル MOSFET 31 及び 33 のソースは電源電位 VDD を受ける電源端子にそれぞれ接続され、ドレインは出力ノード NO1、NO2 にそれぞれ接続され、ゲートは入力ノード I2、I1 にそれぞれ接続される。n チャンネル MOSFET 32、34 のソースは入力ノード I1、I2 とそれぞれ接続され、ドレインは出力ノード NO1、NO2 にそれぞれ接続され、ゲートは出力ノード NO2、NO1 にそれぞれ接続される。図 11 のレベル変換回路において、特徴的なのは、それぞれの回路の出力ノード NO1、NO2 と n チャンネル MOSFET 32、34 のゲートを交差接続する点である。入力信号 CLK1、CLK2 と電源電位 VDD の電位及びそれぞれの関係は第 1 及び第 2 の実施の形態と同じである。

【0082】

図 11 のレベル変換回路の動作を説明する。CLK1 がローレベル、CLK2 がハイレベルのとき、p チャンネル MOSFET 33 は、ゲート電位が CLK1 のローレベルの電位であり、ソース電位が電源電位であるので強いオン状態になり、出力ノード NO2 の電位 V_{out2} は p チャンネル MOSFET 33 のソース電位である電源電位を反映して十分高くなる。これにより、n チャンネル MOSFET 32 のゲート電位は、高くなった出力ノード NO2 の電位 V_{out2} となり、ソース電位である CLK1 のローレベルの電位との関係により、十分強いオン状態になる。このとき、p チャンネル MOSFET 31 は、ソース電位である電源電位とゲート電位である CLK2 のハイレベルの電位との電位差の絶対値と p チャ

ネルMOSFET 31のしきい値電圧 V_{tp} の絶対値との大小関係により、オフ状態あるいは弱いオン状態であるので、nチャネルMOSFET 32のオン抵抗は、pチャネルMOSFET 31のオン抵抗よりも十分小さくなり、出力ノードNO1の電位 V_{out1} はnチャネルMOSFET 32のソース電位であるCLK1のローレベルの電位を反映して低くなる。したがって、nチャネルMOSFET 34は、低くなった出力ノードNO1の電位 V_{out1} とソース電位であるCLK2のハイレベルの電位との電位差の絶対値とnチャネルMOSFET 34のしきい値電圧 V_{tn} の絶対値との大小関係により、オフ状態あるいは十分弱いオン状態である。

【0083】

一方、CLK1がハイレベル、CLK2がローレベルのとき、pチャネルMOSFET 31は、ソース電位が電源電位であり、ゲート電位がCLK2のローレベルの電位であるので強いオン状態になり、出力ノードNO1の電位 V_{out1} はpチャネルMOSFET 31のソース電位である電源電位を反映して高くなる。これにより、nチャネルMOSFET 34のゲート電位は、高くなった出力ノードNO1の電位 V_{out1} となり、ソース電位であるCLK1のローレベルの電位との関係により、十分強いオン状態になる。このとき、pチャネルMOSFET 33は、ソース電位である電源電位とゲート電位であるCLK1のハイレベルの電位との電位差の絶対値とpチャネルMOSFET 33のしきい値電圧 V_{tp} の絶対値との大小関係により、オフ状態あるいは弱いオン状態であるので、nチャネルMOSFET 34のオン抵抗は、pチャネルMOSFET 33のオン抵抗よりも十分小さくなり、出力ノードNO2の電位 V_{out2} はnチャネルMOSFET 34のソース電位であるCLK2のローレベルの電位を反映して低くなる。したがって、nチャネルMOSFET 32は、低くなった出力ノードNO2の電位 V_{out2} とソース電位であるCLK1のハイレベルの電位との電位差の絶対値とnチャネルMOSFET 32のしきい値電圧 V_{tn} の絶対値との大小関係により、オフ状態あるいは十分弱いオン状態になる。

【0084】

ドライブ用インバータINV1及びINV2は、出力電位 V_{out1} を電源電

位 V_{DD} と接地電位とに変化する出力電位 V_{OUT1} に変換し、ドライブ用インバータ $INV3$ 及び $INV4$ は、出力電位 V_{out2} を電源電位 V_{DD} と接地電位とに変化する出力電位 V_{OUT2} に変換する。

【0085】

ここで、本実施の形態におけるレベル変換回路を多結晶シリコンからなる薄膜トランジスタにより構成した場合の特性のシミュレーションを行った。まず、図11のレベル変換回路3の動作の高速性を調べた。

【0086】

図12はシミュレーション結果を示す図である。入力信号 $CLK1$ 、 $CLK2$ の周波数を 20MHz 、入力電圧振幅を 3.0V 、電源電圧 V_{DD} を 10V とした。図12(a)には、入力信号 $CLK1$ 、 $CLK2$ 及び出力電位 V_{OUT1} 、 V_{OUT2} の波形を示し、図12(b)には、出力ノード $NO1$ 、 $NO2$ の出力電位 V_{out1} 、 V_{out2} の波形を示す。

【0087】

図12のシミュレーション結果から、 20MHz という高い周波数でも入力信号 $CLK1$ 、 $CLK2$ に応答してデューティ比 50% の出力電位 V_{OUT1} 、 V_{OUT2} が得られることがわかる。このように、レベル変換回路2を多結晶シリコンからなる薄膜トランジスタによって構成しても高速動作が可能となる。

【0088】

次に、レベル変換回路の p チャネル $MOSFET$ 及び n チャネル $MOSFET$ のしきい値電圧がばらついた場合の電圧波形のシミュレーションを行った。このシミュレーションでは、入力信号 $CLK1$ 、 $CLK2$ の周波数は 2MHz とした。

【0089】

図13は、 p チャネル $MOSFET$ 及び n チャネル $MOSFET$ のしきい値電圧が設定値に比べて小さい場合のシミュレーション結果である。図13のシミュレーションでは、 p チャネル $MOSFET$ のしきい値パラメータ（しきい値電圧）を -0.5V とし、 n チャネル $MOSFET$ のしきい値パラメータ（しきい値電圧）を 0.5V とした。

【0090】

図14は、pチャネルMOSFET及びnチャネルMOSFETのしきい値電圧が設定値の場合のシミュレーション結果である。図14のシミュレーションでは、pチャネルMOSFETのしきい値パラメータを -2.0V とし、nチャネルMOSFETのしきい値パラメータを 1.5V とした。

【0091】

図15は、pチャネルMOSFET及びnチャネルMOSFETのしきい値電圧が設定値に比べて大きい場合のシミュレーション結果である。図15のシミュレーションでは、pチャネルMOSFETのしきい値パラメータを -3.5V とし、nチャネルMOSFETのしきい値パラメータを 2.5V とした。

【0092】

図13、14及び15の結果から、pチャネルMOSFET及びnチャネルMOSFETのしきい値電圧が設定値から比較的大きくずれた場合でも、入力信号CLK1、CLK2に応答してデューティ比が50%の出力電位VOUT1、VOUT2が得られることがわかる。

【0093】

本実施の形態におけるレベル変換回路3においては、pチャネルMOSFET31とnチャネルMOSFET32で構成される回路とpチャネルMOSFET33とnチャネルMOSFET34で構成される回路のそれぞれの出力ノードNO1、NO2とnチャネルMOSFET32、34のゲートが交差接続されており、入力信号CLK1、CLK2のハイレベルとローレベルとの間の電位差よりも大きい電位差を持つVout1とVout2がpチャネルMOSFET32、34のゲートに入力されるので、nチャネルMOSFET32、34をより確実にオンオフさせることができる。したがって、CLK1及びCLK2の電圧振幅がpチャネルMOSFET31、33及びnチャネルMOSFET32、34のしきい値電圧よりも小さい場合でも確実な動作が可能になる。

【0094】

また、pチャネルMOSFET31とnチャネルMOSFET32で構成される回路とpチャネルMOSFET33とnチャネルMOSFET34で構成され

る回路のそれぞれの出力信号 V_{out1} 、 V_{out2} のデューティ比が異なった場合でも、出力信号 V_{out1} 、 V_{out2} が他方の回路の入力信号になるので、互いに補完されて両出力信号のデューティ比をそろえることができる。さらに、pチャネルMOSFET 31、33及びnチャネルMOSFET 32、34のしきい値電圧が設計値よりも大きくずれた場合でも、入力信号CLK1及びCLK2のレベル変化に対応した出力電位 V_{out1} 、 V_{out2} が得られる。このように、製造工程でのばらつきによりpチャネルMOSFET 31、33及びnチャネルMOSFET 32、34のしきい値電圧が設計値からずれた場合でも高い確度で動作する。

【0095】

実施の形態4.

図16は第4の実施の形態におけるレベル変換回路の構成を示す回路図である。図16において、レベル変換回路4は、レベル変換部104及びドライブ用インバータINV1、INV2を備える。レベル変換部104は、pチャネルMOSFET 11、nチャネルMOSFET 12及び制御回路110を含む。ドライブ用インバータINV1、INV2は、pチャネルMOSFET及びnチャネルMOSFETからなるCMOS回路により構成される。制御回路110は、電源電圧VDDを受けて電位を調整し出力する。

【0096】

pチャネルMOSFET 11のソースは電源電位VDDを受ける電源端子に接続され、ドレインは出力ノードNOに接続され、ゲートは入力ノードI2に接続される。nチャネルMOSFET 12のソースは入力ノードI1と接続され、ドレインは出力ノードNOに接続され、ゲートは制御回路110を介して電源電位VDDを受ける電源端子に接続される。

【0097】

入力ノードI1、I2には、相補にハイレベルとローレベルとに変化する入力信号CLK1、CLK2がそれぞれ与えられる。入力信号CLK1、CLK2のハイレベルとローレベルとの間の電位差は、電源電位VDDと接地電位との間の電位差よりも小さい。本実施の形態では、入力信号CLK1、CLK2のローレ

ベルは接地電位であり、ハイレベルは電源電位 V_{DD} と接地電位の間の電位である。

【0098】

図16のレベル変換回路4の動作は、基本的に図1のレベル変換回路1と同じであり、 n チャネルMOSFET12のゲート電位が制御回路110によって調整された電位を受けて動作する点が異なる。

【0099】

制御回路110は、電源電位 V_{DD} を受けて、電源電位 V_{DD} と入力信号 $CLK1$ のハイレベルの電位との間の電位を出力する。制御回路110の出力電位と入力信号 $CLK1$ との電位差の絶対値と n チャネルMOSFET12のしきい値電圧 V_{tn} の絶対値との大小関係によって、 n チャネルMOSFET12のオン状態の程度が制御され、出力ノード NO の電位 V_{out} が得られる。

【0100】

ドライブ用インバータ $INV1$ 及び $INV2$ は、出力電位 V_{out} を電源電位 V_{DD} と接地電位とに変化する出力電位 $VOUT$ に変換する。本実施の形態では、電源電位 V_{DD} と入力信号 $CLK1$ 及び $CLK2$ のハイレベルの電位との電位差が大きい場合でも高い確度で動作することができる。

【0101】

図17は、図16のレベル変換回路4の回路構成の第1の例を示す回路図である。制御回路110は p チャネルMOSFET111と n チャネルMOSFET121を含む。 p チャネルMOSFET111のソースは電源電位 V_{DD} を受ける電源端子に接続され、ドレインおよびゲートはノード NN に接続される。 n チャネルMOSFET121のソースは接地電位を受ける電源端子に接続され、ドレインおよびゲートはノード NN に接続される。

【0102】

ノード NN の電位は、電源電位 V_{DD} よりも p チャネルMOSFET111のしきい値電圧 V_{tp} 以上低く、接地電位よりも n チャネルMOSFET121のしきい値電圧 V_{tn} 以上高くなり、 p チャネルMOSFET111と n チャネルMOSFET121のオン抵抗値に応じた電位となる。

【0103】

図18および図19はそれぞれ、図16のレベル変換回路4の回路構成の第2および第3の例を示す。図18のレベル変換回路4が図17のレベル変換回路4と異なるのは、制御回路110がpチャネルMOSFET111の代わりに抵抗素子R1を含む点である。この場合、ノードNNの電位V_{NN}は抵抗素子r1の抵抗値とnチャネルMOSFET121のオン抵抗に応じた電位になる。

【0104】

図19のレベル変換回路4が図18のレベル変換回路4と異なるのは、制御回路110がnチャネルMOSFET121の代わりに抵抗素子R2を含む点である。この場合、ノードNNの電位V_{NN}は抵抗素子R1と抵抗素子R2のそれぞれの抵抗値に応じた電位になる。

【0105】

実施の形態5.

図20は第5の実施の形態におけるレベル変換回路の構成を示す回路図である。図20において、レベル変換回路5は、レベル変換部105及びドライブ用インバータINV1、INV2を備える。レベル変換部105は、pチャネルMOSFET11、nチャネルMOSFET12、制御回路120を含む。ドライブ用インバータINV1、INV2は、pチャネルMOSFET及びnチャネルMOSFETからなるCMOS回路により構成される。制御回路120は、入力信号CLK2を受けてCLK2の電位レベルを調整し出力する。

【0106】

pチャネルMOSFET11のソースは電源電位V_{DD}を受ける電源端子に接続され、ドレインは出力ノードNOに接続され、ゲートは制御回路120を介して入力ノードI2に接続される。nチャネルMOSFET12のソースは入力ノードI1と接続され、ドレインは出力ノードNOに接続され、ゲートは電源電位V_{DD}を受ける電源端子に接続される。

【0107】

入力ノードI1、I2には、相補にハイレベルとローレベルとに変化する入力信号CLK1、CLK2がそれぞれ与えられる。入力信号CLK1、CLK2の

ハイレベルとローレベルとの間の電位差は、電源電位 V_{DD} と接地電位との間の電位差よりも小さい。本実施の形態では、入力信号 $CLK1$ 、 $CLK2$ のローレベルは接地電位であり、ハイレベルは電源電位 V_{DD} と接地電位の間の電位である。

【0108】

図20のレベル変換回路5の動作は、基本的に図1のレベル変換回路1と同じであり、pチャネルMOSFET11のゲート電位が制御回路120によって電位レベルを調整された入力信号 $CLK2$ を受けて動作する点が異なる。

【0109】

制御回路120は、入力信号 $CLK2$ のハイレベルの電位を電源電位 V_{DD} と入力信号 $CLK2$ のハイレベルの電位との間の電位に調整して出力する。制御回路120の出力電位と入力信号 $CLK2$ との電位差の絶対値とnチャネルMOSFET12のしきい値電圧 V_{tp} の絶対値との大小関係によって、nチャネルMOSFET12のオン状態の程度が制御され、出力ノードNOの電位 V_{out} が得られる。本実施の形態では、電源電位 V_{DD} と入力信号 $CLK1$ 及び $CLK2$ のハイレベルの電位との電位差が大きい場合でも高い確度で動作することができる。

【0110】

図21は、図20のレベル変換回路5の回路構成の第1の例を示す回路図である。この制御回路120はnチャネルMOSFET122とnチャネルMOSFET123を含む。nチャネルMOSFET123のソースはノードNPに接続され、ドレインおよびゲートは電源電位 V_{DD} を受ける電源端子に接続される。nチャネルMOSFET122のソースは入力ノードI2に接続され、ドレインおよびゲートはノードNPに接続される。

【0111】

nチャネルMOSFET123は常時オン状態であるので負荷抵抗として働く。入力信号 $CLK2$ のレベルに応じてノードNPの電位 V_{NP} がハイレベルまたはローレベルに制御される。このとき、ノードNPの電位 V_{NP} のハイレベルの電位は、電源電位 V_{DD} よりもnチャネルMOSFET123のしきい値電圧 V

t_n 以上低く、CLK 2 のハイレベルの電位よりも高くなる。

【0 1 1 2】

図 2 2 は、図 2 0 のレベル変換回路 5 の回路構成の第 2 の例を示す回路図である。このレベル変換回路 5 が図 2 1 のレベル変換回路 5 と異なるのは、制御回路 1 2 0 が n チャンネル MOS FET 1 2 3 の代わりに p チャンネル MOS FET 1 2 1 を含む点である。この場合、p チャンネル MOS FET 1 2 1 のソースは電源電位 VDD を受ける電源端子に接続され、ドレインおよびゲートはノード NP に接続される。

【0 1 1 3】

p チャンネル MOS FET 1 2 1 により、ノード NP の電位 VNP が電源電位 VDD からしきい値電圧 V_{tp} の絶対値分以上低いレベルに設定される。入力信号 CLK 2 のレベルに応じて n チャンネル MOS FET 1 2 2 によりノード NP の電位 VNP がハイレベルまたはローレベルに制御される。このとき、ノード NP の電位 VNP のハイレベルの電位は、電源電位 VDD よりも p チャンネル MOS FET 1 2 1 のしきい値電圧 V_{tp} 以上低く、CLK 2 のハイレベルの電位よりも高くなる。

【0 1 1 4】

図 2 3 は、図 2 0 のレベル変換回路 5 の回路構成の第 3 の例を示す回路図である。このレベル変換回路 5 が図 2 2 のレベル変換回路 5 と異なるのは、制御回路 1 2 0 の n チャンネル MOS FET 1 2 2 のゲートが電源電位 VDD を受ける電源端子に接続されている点である。この場合、n チャンネル MOS FET 1 2 2 は常時オン状態となり、負荷抵抗として働く。これにより、入力信号 CLK 2 のレベルに応じてノード NP の電位 VNP がハイレベルまたはローレベルに制御される。このとき、ノード NP の電位 VNP のハイレベルの電位は、電源電位 VDD よりも p チャンネル MOS FET 1 2 1 のしきい値電圧 V_{tp} 以上低く、CLK 2 のハイレベルの電位よりも高くなる。

【0 1 1 5】

図 2 4 は、図 2 0 のレベル変換回路 5 の回路構成の第 4 の例を示す回路図である。このレベル変換回路 5 が図 2 2 のレベル変換回路 5 と異なるのは、制御回路

120のpチャネルMOSFET121の代わりに抵抗素子R3を含む点である。この場合、入力信号CLK2のレベルに応じてpチャネルMOSFET121のオン抵抗が変化し、抵抗素子R3の抵抗値との抵抗分割によりノードNPの電位VNPがハイレベルまたはローレベルに制御される。

【0116】

図25は、図20のレベル変換回路5の回路構成の第5の例を示す回路図である。このレベル変換回路5が図22のレベル変換回路5と異なるのは、制御回路120のnチャネルMOSFET122の代わりに抵抗素子R3を含む点である。この場合、入力信号CLK2のレベルに応じてpチャネルMOSFET121のオン抵抗が変化し、抵抗素子R3の抵抗値との抵抗分割によりノードNPの電位VNPがハイレベルまたはローレベルに制御される。

【0117】

図26は、図20のレベル変換回路5の回路構成の第6の例を示す回路図である。このレベル変換回路5が図22のレベル変換回路5と異なるのは、制御回路120のpチャネルMOSFET121のゲートを入力ノードI2と接続し、nチャネルMOSFET122のソースを接地電位を受ける電源端子に接続した点である。この場合、pチャネルMOSFET121は、入力信号CLK2の電位レベルに応じてオン抵抗が変化する。また、それに応じてnチャネルMOSFET122のオン抵抗も変化し、ノードNPの電位VNPがハイレベルまたはローレベルに制御される。

【0118】

図27は、図20のレベル変換回路5の回路構成の第7の例を示す回路図である。このレベル変換回路5が図26のレベル変換回路5と異なるのは、制御回路120のnチャネルMOSFET122の代わりにpチャネルMOSFET123を含む点である。この場合、pチャネルMOSFET123は常時オン状態となり、負荷抵抗として働く。したがって、入力信号CLK2のレベルに応じてpチャネルMOSFET121のオン抵抗が変化し、ノードNPの電位VNPがハイレベルまたはローレベルに制御される。

【0119】

実施の形態 6.

図 28 は第 6 の実施の形態におけるレベル変換回路の構成を示す回路図である。レベル変換回路 6 は、レベル変換部 106 及びドライブ用インバータ INV1、INV2 を備える。レベル変換部 106 は、p チャネル MOSFET 11、n チャネル MOSFET 12、制御回路 110、120 を含む。ドライブ用インバータ INV1、INV2 は、p チャネル MOSFET 及び n チャネル MOSFET からなる CMOS 回路により構成される。制御回路 110 は、電源電圧 VDD を受けて電位を調整し出力し、制御回路 120 は、入力信号 CLK2 を受けて CLK2 の電位レベルを調整し出力する。

【0120】

p チャネル MOSFET 11 のソースは電源電位 VDD を受ける電源端子に接続され、ドレインは出力ノード NO に接続され、ゲートは制御回路 120 を介して入力ノード I2 に接続される。n チャネル MOSFET 12 のソースは入力ノード I1 と接続され、ドレインは出力ノード NO に接続され、ゲートは制御回路 110 を介して電源電位 VDD を受ける電源端子に接続される。

【0121】

入力ノード I1、I2 には、相補にハイレベルとローレベルとに変化する入力信号 CLK1、CLK2 がそれぞれ与えられる。入力信号 CLK1、CLK2 のハイレベルとローレベルとの間の電位差は、電源電位 VDD と接地電位との間の電位差よりも小さい。本実施の形態では、入力信号 CLK1、CLK2 のローレベルは接地電位であり、ハイレベルは電源電位 VDD と接地電位の間の電位である。

【0122】

図 28 のレベル変換回路 6 の動作は、基本的に図 1 のレベル変換回路 1 と同じであり、p チャネル MOSFET 11 のゲート電位が制御回路 120 によって電位レベルを調整された入力信号 CLK2 を受けて動作し、n チャネル MOSFET 12 のゲート電位が制御回路 110 によって調整された電位を受けて動作する点が異なる。

【0123】

制御回路 110 は、図 16 のレベル変換回路 4 の制御回路 110 と同じであり、制御回路 120 は、図 20 のレベル変換回路 5 の制御回路 120 と同じである。

【0124】

制御回路 120 の出力電位と入力信号 CLK2 との電位差の絶対値と p チャネル MOSFET 11 のしきい値電圧 V_{tp} の絶対値との大小関係によって、p チャネル MOSFET 11 のオン状態の程度が制御され、制御回路 110 の出力電位と入力信号 CLK1 との電位差の絶対値と n チャネル MOSFET 12 のしきい値電圧 V_{tn} の絶対値との大小関係によって、n チャネル MOSFET 12 のオン状態の程度が制御される。これにより、出力ノード NO の電位 V_{out} のハイレベル及びローレベルが制御される。

【0125】

本実施の形態では、電源電位 VDD と入力信号 CLK1 及び CLK2 のハイレベルの電位との電位差が大きい場合でも高い確度で動作することができる。制御回路 110 の具体例としては、図 17、18、19 に示した回路等がある。一方、制御回路 120 の具体例としては、図 21、22、23、24、25、26、27 に示した回路等がある。

【0126】

実施の形態 7.

図 29 はの第 7 の実施の形態におけるレベル変換回路の構成を示す回路図である。このレベル変換回路 7 は、レベル変換部 207 及びドライブ用インバータ INV1、INV2、INV3、INV4 を備える。レベル変換部 207 は、p チャネル MOSFET 21、23、n チャネル MOSFET 22、24、及び制御回路 110a、110b を含む。ドライブ用インバータ INV1、INV2、INV3、INV4 は、p チャネル MOSFET 及び n チャネル MOSFET からなる CMOS 回路により構成される。制御回路 110a、110b は、図 16 のレベル変換回路 4 の制御回路 110 と同じである。

【0127】

p チャネル MOSFET 21 及び 23 のソースは電源電位 VDD を受ける電源

端子にそれぞれ接続され、ドレインは出力ノードNO1、NO2にそれぞれ接続され、ゲートは出力ノードNO2、NO1にそれぞれ接続される。nチャネルMOSFET22、24のソースは入力ノードI1、I2とそれぞれ接続され、ドレインは出力ノードNO1、NO2にそれぞれ接続され、ゲートは制御回路110a、110bを介して電源電位VDDを受ける電源端子にそれぞれ接続される。入力信号CLK1、CLK2と電源電位VDDの電位及びそれぞれの関係は第2の実施の形態と同じである。

【0128】

図29のレベル変換回路7の動作は、基本的に図6のレベル変換回路2と同じであり、nチャネルMOSFET22、24のゲート電位が制御回路110a、110bによって調整された電位を受けて動作する点異なる。

【0129】

制御回路110a、110bは、電源電位VDDを受けて、電源電位VDDと入力信号CLK1のハイレベルの電位との間の電位を出力する。制御回路110a、110bの出力電位と入力信号CLK1との電位差の絶対値とnチャネルMOSFET22、24のしきい値電圧 V_{tn} の絶対値との大小関係によって、nチャネルMOSFET22、24のオン状態の程度が制御され、出力ノードNO1、NO2の電位 V_{out1} 、 V_{out2} がそれぞれ得られる。

【0130】

ドライブ用インバータINV1及びINV2は、出力電位 V_{out1} を電源電位VDDと接地電位とに変化する出力電位VOU1に変換し、ドライブ用インバータINV3及びINV4は、出力電位 V_{out2} を電源電位VDDと接地電位とに変化する出力電位VOU2に変換する。

【0131】

本実施の形態では、電源電位VDDと入力信号CLK1及びCLK2のハイレベルの電位との電位差が大きい場合でも高い確度で動作することができる。

制御回路110a、110bの具体例は、図17、18、19に示した回路等がある。

【0132】

実施の形態 8.

図 30 は第 8 の実施の形態におけるレベル変換回路の構成を示す回路図である。このレベル変換回路 8 は、レベル変換部 308 及びドライブ用インバータ INV1、INV2、INV3、INV4 を備える。レベル変換部 308 は、p チャネル MOSFET 21、23、n チャネル MOSFET 22、24、及び制御回路 120a、120b を含む。ドライブ用インバータ INV1、INV2、INV3、INV4 は、p チャネル MOSFET 及び n チャネル MOSFET からなる CMOS 回路で構成される。制御回路 120a、120b は、図 20 のレベル変換回路 5 の制御回路 120 と同じである。

【0133】

p チャネル MOSFET 21 及び 23 のソースは電源電位 VDD を受ける電源端子にそれぞれ接続され、ドレインは出力ノード NO1、NO2 にそれぞれ接続され、ゲートは制御回路 120a、120b を介して入力ノード I2、I1 にそれぞれ接続される。n チャネル MOSFET 22、24 のソースは入力ノード I1、I2 とそれぞれ接続され、ドレインは出力ノード NO1、NO2 にそれぞれ接続され、ゲートは出力ノード NO2、NO1 にそれぞれ交差接続される。入力信号 CLK1、CLK2 と電源電位 VDD の電位及びそれぞれとの関係は第 3 の実施の形態と同じである。

【0134】

図 30 のレベル変換回路 8 の動作は、基本的に図 11 のレベル変換回路 3 と同じであり、n チャネル MOSFET 22、24 のゲート電位が制御回路 110a、110b によって調整された電位を受けて動作する点異なる。

【0135】

制御回路 120a、120b は、入力信号 CLK1、CLK2 のハイレベルの電位を電源電位 VDD と入力信号 CLK1、CLK2 のハイレベルの電位との間の電位に調整して出力する。

【0136】

制御回路 120a、120b の出力電位と入力信号 CLK2、CLK1 との電位差の絶対値と n チャネル MOSFET 32、34 のしきい値電圧 V_{tp} の絶対

値との大小関係によって、 n チャネルMOSFET 32、34のオン状態の程度が制御され、出力ノードNOの電位 V_{out} が得られる。

【0137】

ドライブ用インバータINV1及びINV2は、出力電位 V_{out1} を電源電位VDDと接地電位とに変化する出力電位 V_{OUT1} に変換し、ドライブ用インバータINV3及びINV4は、出力電位 V_{out2} を電源電位VDDと接地電位とに変化する出力電位 V_{OUT2} に変換する。

【0138】

本実施の形態では、電源電位VDDと入力信号CLK1及びCLK2のハイレベルの電位との電位差が大きい場合でも高い確度で動作することができる。

制御回路120a、120bの具体例は、図21、22、23、24、25、26、27に示した回路等がある。

【0139】

実施の形態9.

図31は第9の実施の形態におけるレベル変換回路の構成を示す回路図である。このレベル変換回路9は、2つのレベル変換部101A、101B及び1つのPMOSクロスカップル型の差動増幅回路400を備える。

【0140】

レベル変換部101A、101Bの構成は、第1の実施の形態におけるレベル変換部101の構成と同様である。ただし、レベル変換部101Aの入力ノードI1、I2にはそれぞれ入力信号CLK1、CLK2が与えられ、レベル変換部101Bの入力ノードI1、I2にはそれぞれ入力信号CLK2、CLK1が与えられる。

【0141】

差動増幅回路400は、 p チャネルMOSFET 401、403及び n チャネルMOSFET 402、404を含む。 p チャネルMOSFET 401、403のソースは電源電圧VDDを受ける電源端子に接続され、ドレインは出力ノードNO401、NO402にそれぞれ接続され、ゲートは出力ノードNO402、NO401に交差接続される。 n チャネルMOSFET 402、404のソース

には所定の電位 V_{EE} が与えられ、ドレインは出力ノード $NO401$ 、 $NO402$ にそれぞれ接続され、ゲートはレベル変換部 $101A$ 、 $101B$ の出力ノード NOA 、 NOB にそれぞれ接続される。所定の電位 V_{EE} は、電源電位 V_{DD} よりも低い正電位、接地電位、負電位のいずれでもよい。また、図中右側の V_{EE} にはクロック信号 $CLK1$ が入力されてもよく、左の V_{EE} には $CLK2$ が入力されてもよい。

【0142】

本実施の形態のレベル変換回路 9 においては、差動増幅回路 400 の出力ノード $NO401$ 、 $NO402$ から相補に変化する出力電位 V_{OUT1} 、 V_{OUT2} が出力される。出力電位 V_{OUT1} 、 V_{OUT2} は電源電位 V_{DD} と所定の電位 V_{EE} との間で変化する。

【0143】

実施の形態 10.

図 32 は第 10 の実施の形態におけるレベル変換回路の構成を示す回路図である。このレベル変換回路 10 が図 31 のレベル変換回路 9 と異なるのは、2 つのレベル変換部 $101A$ 、 $101B$ の代わりに、それぞれ制御回路 $100A$ 、 $100B$ を有する 2 つのレベル変換部 $104A$ 、 $104B$ を備える点である。

【0144】

レベル変換部 $104A$ 、 $104B$ の構成は、第 4 の実施の形態におけるレベル変換部 104 の構成と同様である。ただし、レベル変換部 $104A$ の入力ノード $I1$ 、 $I2$ にはそれぞれ入力信号 $CLK1$ 、 $CLK2$ が与えられ、レベル変換部 $104B$ の入力ノード $I1$ 、 $I2$ にはそれぞれ入力信号 $CLK2$ 、 $CLK1$ が与えられる。

【0145】

本実施の形態のレベル変換回路 10 においては、差動増幅回路 200 の出力ノード $NO401$ 、 $NO402$ から相補に変化する出力電位 V_{OUT1} 、 V_{OUT2} が出力される。出力電位 V_{OUT1} 、 V_{OUT2} は電源電位 V_{DD} と所定の電位 V_{EE} との間で変化する。本実施の形態の制御回路 110 の具体例は、図 17 乃至図 19 に示した回路等である。

【0146】

なお、第9及び第10の実施の形態では、レベル変換部としてレベル変換部101及び104を用いたが、第5の実施の形態のレベル変換部105、第6の実施の形態のレベル変換部106を用いてもよい。また、第7の実施の形態のレベル変換部207、第8の実施の形態のレベル変換部308でもよいが、このときは、レベル変換部の出力ノードNO1、NO2をそれぞれ差動増幅回路のnチャネルMOSFET402、404のゲートに接続すればよい。

【0147】

実施の形態11.

図33は第11の実施の形態におけるレベル変換回路の構成を示す回路図である。このレベル変換回路11が図31のレベル変換回路9と異なるのは、PMOSクロスカップル型の差動増幅回路400の代わりにカレントミラー型の増幅回路500が接続されている点である。

【0148】

カレントミラー型の増幅回路500は、pチャネルMOSFET501、503及びnチャネルMOSFET502、504を含む。pチャネルMOSFET501、503のソースは電源電圧VDDを受ける電源端子に接続され、ドレインは出力ノードNO501、NO502にそれぞれ接続され、ゲートは出力ノードNO502に接続される。nチャネルMOSFET202、204のソースには所定の電位VEEが与えられ、ドレインは出力ノードNO501、NO502にそれぞれ接続され、ゲートはレベル変換部101A、101Bの出力ノードNOA、NOBにそれぞれ接続される。所定の電位VEEは、電源電位VDDよりも低い正電位、接地電位、負電位などでよい。また、図中右のVEEにはクロック信号CLK1を入力してもよいし、左のVEEにはCLK2を入力してもよい。

【0149】

本実施の形態のレベル変換回路11においては、カレントミラー型の増幅回路500の出力ノードNO501から出力電位VOU Tが出力される。出力電位VOU Tは電源電位VDDと所定の電位VEEとの間で変化する。

【0150】

実施の形態12.

図34は第12の実施の形態におけるレベル変換回路の構成を示す回路図である。このレベル変換回路12が図33のレベル変換回路11と異なるのは、2つのレベル変換部101A、101Bの代わりに、それぞれ制御回路110A、110Bを有する2つのレベル変換部104A、104Bを備える点である。

【0151】

レベル変換部104A、104Bの構成は、第4の実施の形態におけるレベル変換部104の構成と同様である。ただし、レベル変換部4Aの入力ノードI1、I2にはそれぞれ入力信号CLK1、CLK2が与えられ、レベル変換部104Bの入力ノードI1、I2にはそれぞれ入力信号CLK2、CLK1が与えられる。

【0152】

本実施の形態のレベル変換回路12においては、カレントミラー型の増幅回路500の出力ノードNO501から出力電位VOUTが出力される。出力電位VOUTは電源電位VDDと所定の電位VEEとの間で変化する。本実施の形態の制御回路110の具体例は、図17乃至図19に示した回路等がある。

【0153】

なお、第9及び第10の実施の形態のレベル変換部101及び104の代わりに、第5の実施の形態のレベル変換部105、第6の実施の形態のレベル変換部106を用いてもよい。また、第7の実施の形態のレベル変換部207、第8の実施の形態のレベル変換部308を用いてもよいが、このときは、レベル変換部の出力ノードNO1、NO2をそれぞれ差動増幅回路のnチャネルMOSFET502、504のゲートに接続すればよい。

【0154】

実施の形態13.

図35は第13の実施の形態におけるレベル変換回路の構成を示す回路図である。このレベル変換回路13はペア型レベル変換回路で、2つのレベル変換部101A、101B及び4つのインバータINV1A、INV2A、INV1B、

INV2Bを備える。

【0155】

レベル変換部101A、101Bの構成は、図1のレベル変換部101の構成と同様である。レベル変換部101AのnチャネルMOSFET12のソース、レベル変換部101BのpチャネルMOSFET11のゲートは、入力信号CLK1を受ける入力ノードIAに接続される。レベル変換部101AのpチャネルMOSFET11のゲート、レベル変換部101BのnチャネルMOSFET12のソースは、入力信号CLK2を受ける入力ノードIBに接続される。

【0156】

本実施の形態のレベル変換回路13においては、入力信号CLK1、CLK2がレベル変換された出力信号VOUT1、VOUT2が出力される。出力電位VOUT1、VOUT2は電源電位VDDと接地電位との間で変化する。

【0157】

なお、本実施の形態のレベル変換部101として、第4の実施の形態のレベル変換部104、第5の実施の形態のレベル変換部105、第6の実施の形態のレベル変換部106を用いてもよい。

【0158】

実施の形態14.

図36は、本発明のレベル変換回路を用いた液晶表示装置の一例を示すブロック図である。この装置では、ガラス基板600上に、複数の走査電極Y1、Y2、…Yn及び複数のデータ電極X1、X2、…Xmが互いに交差するように配置されている。ここで、n及びmはそれぞれ任意の整数である。なお、ガラス基板600の代わりにプラスチック等からなる基板を用いてもよい。複数の走査電極Y1～Ynと複数のデータ電極X1～Xmとの交差部には薄膜トランジスタ601を介して液晶素子602が設けられる。薄膜トランジスタ601は、例えば、非晶質シリコンをレーザアニーリング法等により結晶化することより得られた多結晶シリコンにより形成される。

【0159】

ガラス基板600上には、走査線駆動回路603、データ線駆動回路604及

び電圧変換回路 7 0 0 が設けられている。走査電極 Y 1 ~ Y n は走査線駆動回路 6 0 3 と接続され、データ電極 X 1 ~ X m はデータ線駆動回路 6 0 4 に接続されている。電圧変換回路 7 0 0 は外部制御回路 6 0 5 から与えられる相補に変化する小振幅のふたつの基本クロック信号をそれとは異なる電圧のクロック信号にレベル変換し、走査線駆動回路 6 0 3 及びデータ線駆動回路 6 0 4 に与える。

【0 1 6 0】

図 3 7 は、図 3 6 の液晶表示素子に用いられる電圧変換回路 7 0 0 の構成を示すブロック図である。この電圧変換回路 7 0 0 において、ガラス基板 6 0 0 上に、昇圧電源回路 7 0 1、負電源回路 7 0 2 及び第 1 ~ 第 4 のレベル変換回路 7 0 3、7 0 4、7 0 5、7 0 6 が形成されている。第 1 のレベル変換回路 7 0 3 には外部電源電圧 8 V 及び 3 V が与えられる。内部回路は図 3 6 の走査線駆動回路 6 0 3 及びデータ線駆動回路 6 0 4 であり、0 ~ 8 V、0 ~ 1 2 V、- 3 ~ 8 V、- 3 ~ 1 2 V の 4 通りの電圧範囲の信号を入力すると仮定する。

【0 1 6 1】

第 1 のレベル変換回路 7 0 3 は、図 3 6 の外部制御回路 6 0 5 から与えられる基本クロック信号を 0 V から 8 V の範囲で変化する信号にレベル変換し、内部回路及び第 2 ~ 第 4 のレベル変換回路 7 0 4、7 0 5、7 0 6 に与える。第 2 のレベル変換回路 7 0 4 は、第 1 のレベル変換回路 7 0 3 から与えられる信号を昇圧電源回路 7 0 1 の電源電圧に基づいて 0 から 1 2 V の範囲で変化する信号にレベル変換し、内部回路及び第 4 のレベル変換回路 7 0 6 に与える。第 3 のレベル変換回路 7 0 5 は、第 1 のレベル変換回路 7 0 3 から与えられる信号を負電源回路 7 0 2 の負の電源電圧に基づいて - 3 V から 8 V の範囲で変化する信号にレベル変換し、内部回路に与える。第 4 のレベル変換回路 7 0 6 は、第 2 のレベル変換回路 7 0 4 から与えられる信号を負電源回路 7 0 2 の負の電源電圧に基づいて - 3 V から 1 2 V の範囲で変化する信号にレベル変換し、内部回路に与える。

【0 1 6 2】

第 1 ~ 第 4 のレベル変換回路 7 0 3、7 0 4、7 0 5、7 0 6 として、第 1 ~ 1 3 の実施の形態のレベル変換回路 1 ~ 1 3 のいずれかが用いられる。それにより、図 3 6 の液晶表示装置は、製造工程での p チャネル MOS F E T 及び n チャ

ネルMOSFETのしきい値電圧のばらつきが大きい場合でも高い確度で動作することができるとともに、高速動作、低消費電力化、小面積化及び高精細化が可能となる。

【0163】

実施の形態15.

図38は、本発明のレベル変換回路を用いた有機エレクトロルミネッセンス装置の一例を示すブロック図である。この有機エレクトロルミネッセンス装置では、ガラス基板610上に、複数の走査電極Y1、Y2、…Yn及び複数のデータ電極X1、X2、…Xmが互いに交差するように配置されている。なお、ガラス基板610の代わりにプラスチック等からなる基板を用いてもよい。複数の走査電極Y1～Ynと複数のデータ電極X1～Xmとの交差部には薄膜トランジスタ611及び612を介して有機エレクトロルミネッセンス素子613が設けられる。薄膜トランジスタ611、612は、例えば、非晶質シリコンをレーザアニーリング法等により結晶化することより得られた多結晶シリコンにより形成される。

【0164】

ガラス基板610上には、走査線駆動回路614、データ線駆動回路615及び電圧変換回路710が設けられている。走査電極Y1～Ynは走査線駆動回路614と接続され、データ電極X1～Xmはデータ線駆動回路615に接続されている。電圧変換回路710は外部制御回路616から与えられる相補に変化する小振幅のふたつの基本クロック信号をそれとは異なる電圧のクロック信号にレベル変換し、走査線駆動回路614及びデータ線駆動回路615に与える。電圧変換回路710の構成は、図37に示した電圧変換回路700の構成と同様である。

【0165】

電圧変換回路710には、第1～13の実施の形態のレベル変換回路1～13のいずれかが用いられる。それにより、図38の有機エレクトロルミネッセンス装置は、製造工程でのpチャネルMOSFET及びnチャネルMOSFETのしきい値電圧のばらつきが大きい場合でも高い確度で動作することができる

に、高速動作、低消費電力化、小面積化及び高精細化が可能となる。

【0 1 6 6】

実施の形態 1 6.

図 3 9 は、実施の形態に係るレベル変換回路を用いたセンサ装置の一例を示すブロック図である。このセンサ装置では、ガラス基板 6 2 0 上に、複数の走査電極 Y 1、Y 2、…Y n 及び複数のデータ電極 X 1、X 2、…X m が互いに交差するように配置されている。なお、ガラス基板 6 2 0 の代わりにプラスチック等からなる基板を用いてもよい。複数の走査電極 Y 1 ~ Y n と複数のデータ電極 X 1 ~ X m との交差部には薄膜トランジスタ 6 2 1 を介してセンサ 6 2 2 が設けられている。薄膜トランジスタ 6 2 1 は、例えば、非晶質シリコンをレーザアニーリング法等により結晶化することより得られた多結晶シリコンにより形成される。センサ 6 2 2 としては、例えば、受光素子を用いることができる。この場合には、イメージセンサが構成される。また、センサ 6 2 2 として、圧力差を抵抗または静電容量により検知する圧力センサを用いてもよい。この場合には、物体の表面粗さを検知する表面粗さセンサ、指紋等の紋様を検知する紋様検知センサ等が構成される。

【0 1 6 7】

ガラス基板 6 2 0 上には、走査線駆動回路 6 2 3、データ線駆動回路 6 2 4 及び電圧変換回路 7 2 0 が設けられている。走査電極 Y 1 ~ Y n は走査線駆動回路 6 2 3 と接続され、データ電極 X 1 ~ X m はデータ線駆動回路 6 2 4 に接続されている。電圧変換回路 7 2 0 は外部制御回路 6 2 5 から与えられる相補に変化する小振幅のふたつの基本クロック信号をそれとは異なる電圧のクロック信号にレベル変換し、走査線駆動回路 6 2 3 及びデータ線駆動回路 6 2 4 に与える。電圧変換回路 7 2 0 の構成は、図 3 7 に示した電圧変換回路 7 0 0 の構成と同様である。

【0 1 6 8】

電圧変換回路 7 2 0 には、第 1 ~ 1 3 の実施の形態のレベル変換回路 1 ~ 1 3 のいずれかが用いられる。それにより、図 3 9 のセンサ装置は、製造工程での p チャネル MOS F E T 及び n チャネル MOS F E T のしきい値電圧のばらつきが

大きい場合でも高い確度で動作することができるとともに、高速動作、低消費電力化、小面積化及び高精細化が可能となる。

【0 1 6 9】

以上、本発明を実施の形態をもとに説明した。これらの実施の形態は例示であり、それらの各構成要素の組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0 1 7 0】

【発明の効果】

本発明によれば、安定動作、高速動作、省電力化、高精細化の少なくともいずれかにおいて有利なレベル変換回路を提供することができる。

【図面の簡単な説明】

【図 1】 実施の形態 1 におけるレベル変換回路の構成を示す回路図である。

【図 2】 実施の形態 1 において、多結晶シリコンからなる薄膜トランジスタを用いた場合のシミュレーション結果を示す電圧波形図である。

【図 3】 実施の形態 1 において、p チャンネル MOS F E T 及び n チャンネル MOS F E T のしきい値電圧が設定値に比べて小さい場合のシミュレーション結果を示す電圧波形図である。

【図 4】 実施の形態 1 において、p チャンネル MOS F E T 及び n チャンネル MOS F E T のしきい値電圧が設定値の場合のシミュレーション結果を示す電圧波形図である。

【図 5】 実施の形態 1 において、p チャンネル MOS F E T 及び n チャンネル MOS F E T のしきい値電圧が設定値に比べて大きい場合のシミュレーション結果を示す電圧波形図である。

【図 6】 実施の形態 2 におけるレベル変換回路の構成を示す回路図である。

【図 7】 実施の形態 2 において、多結晶シリコンからなる薄膜トランジスタを用いた場合のシミュレーション結果を示す電圧波形図である。

【図 8】 実施の形態 2 において、p チャンネル MOS F E T 及び n チャンネル

MOSFETのしきい値電圧が設定値に比べて小さい場合のシミュレーション結果を示す電圧波形図である。

【図 9】 実施の形態 2 において、p チャンネル MOSFET 及び n チャンネル MOSFET のしきい値電圧が設定値の場合のシミュレーション結果を示す電圧波形図である。

【図 10】 実施の形態 2 において、p チャンネル MOSFET 及び n チャンネル MOSFET のしきい値電圧が設定値に比べて大きい場合のシミュレーション結果を示す電圧波形図である。

【図 11】 実施の形態 3 におけるレベル変換回路の構成を示す回路図である。

【図 12】 実施の形態 3 において、多結晶シリコンからなる薄膜トランジスタを用いた場合のシミュレーション結果を示す電圧波形図である。

【図 13】 実施の形態 3 において、p チャンネル MOSFET 及び n チャンネル MOSFET のしきい値電圧が設定値に比べて小さい場合のシミュレーション結果を示す電圧波形図である。

【図 14】 実施の形態 3 において、p チャンネル MOSFET 及び n チャンネル MOSFET のしきい値電圧が設定値の場合のシミュレーション結果を示す電圧波形図である。

【図 15】 実施の形態 3 において、p チャンネル MOSFET 及び n チャンネル MOSFET のしきい値電圧が設定値に比べて大きい場合のシミュレーション結果を示す電圧波形図である。

【図 16】 実施の形態 4 におけるレベル変換回路の構成を示す回路図である。

【図 17】 図 16 のレベル変換回路の回路構成の第 1 の例を示す回路図である。

【図 18】 図 16 のレベル変換回路の回路構成の第 2 の例を示す回路図である。

【図 19】 図 16 のレベル変換回路の回路構成の第 3 の例を示す回路図である。

【図 2 0】 実施の形態 5 におけるレベル変換回路の構成を示す回路図である。

【図 2 1】 図 2 0 のレベル変換回路の回路構成の第 1 の例を示す回路図である。

【図 2 2】 図 2 0 のレベル変換回路の回路構成の第 2 の例を示す回路図である。

【図 2 3】 図 2 0 のレベル変換回路の回路構成の第 3 の例を示す回路図である。

【図 2 4】 図 2 0 のレベル変換回路の回路構成の第 4 の例を示す回路図である。

【図 2 5】 図 2 0 のレベル変換回路の回路構成の第 5 の例を示す回路図である。

【図 2 6】 図 2 0 のレベル変換回路の回路構成の第 6 の例を示す回路図である。

【図 2 7】 図 2 0 のレベル変換回路の回路構成の第 7 の例を示す回路図である。

【図 2 8】 実施の形態 6 におけるレベル変換回路の構成を示す回路図である。

【図 2 9】 実施の形態 7 におけるレベル変換回路の構成を示す回路図である。

【図 3 0】 実施の形態 8 におけるレベル変換回路の構成を示す回路図である。

【図 3 1】 実施の形態 9 におけるレベル変換回路の構成を示す回路図である。

【図 3 2】 実施の形態 1 0 におけるレベル変換回路の構成を示す回路図である。

【図 3 3】 実施の形態 1 1 におけるレベル変換回路の構成を示す回路図である。

【図 3 4】 実施の形態 1 2 におけるレベル変換回路の構成を示す回路図で

ある。

【図 3 5】 実施の形態 1 3 におけるレベル変換回路の構成を示す回路図である。

【図 3 6】 実施の形態に係るレベル変換回路を用いた液晶表示装置の一例を示すブロック図である。

【図 3 7】 図 3 6 の液晶表示装置に用いられる電圧変換装置の構成を示すブロック図である。

【図 3 8】 実施の形態に係るレベル変換回路を用いた有機エレクトロルミネッセンス装置の一例を示すブロック図である。

【図 3 9】 実施の形態に係るレベル変換回路を用いたセンサ装置の一例を示すブロック図である。

【図 4 0】 従来のレベル変換回路の第 1 の例を示す回路図である。

【図 4 1】 従来のレベル変換回路の第 2 の例を示す回路図である。

【図 4 2】 従来のレベル変換回路の第 3 の例を示す回路図である。

【図 4 3】 従来のレベル変換回路の第 4 の例を示す回路図である。

【符号の説明】

1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 703, 704, 705, 706 レベル変換回路

101, 201, 301, 104, 105, 106, 207, 308 レベル変換部

INV1, INV2, INV3, INV4 インバータ

110, 120 制御回路

11, 21, 23, 31, 33, 111, 112 pチャネルMOSFET

12, 22, 24, 32, 34, 121, 122, 123 nチャネルMOSFET

R1, R2, R3, R4 抵抗素子

I1, I2 入力ノード

NO 出力ノード

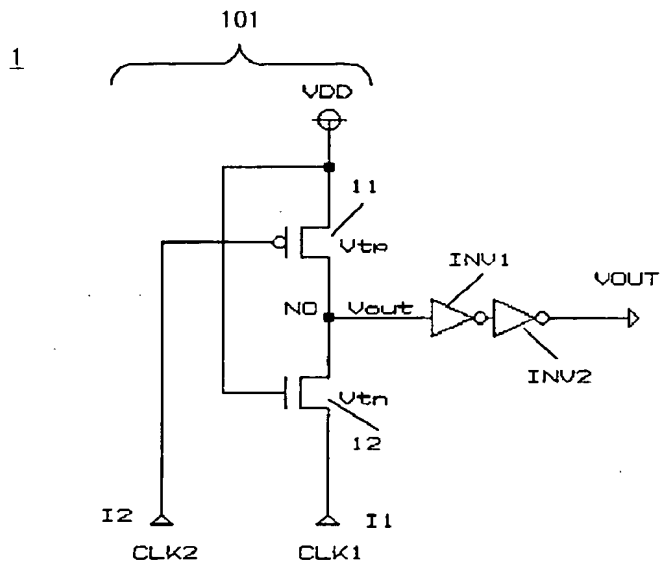
CLK1, CLK2 入力信号

V_{out} , $VOUT$ 出力電位

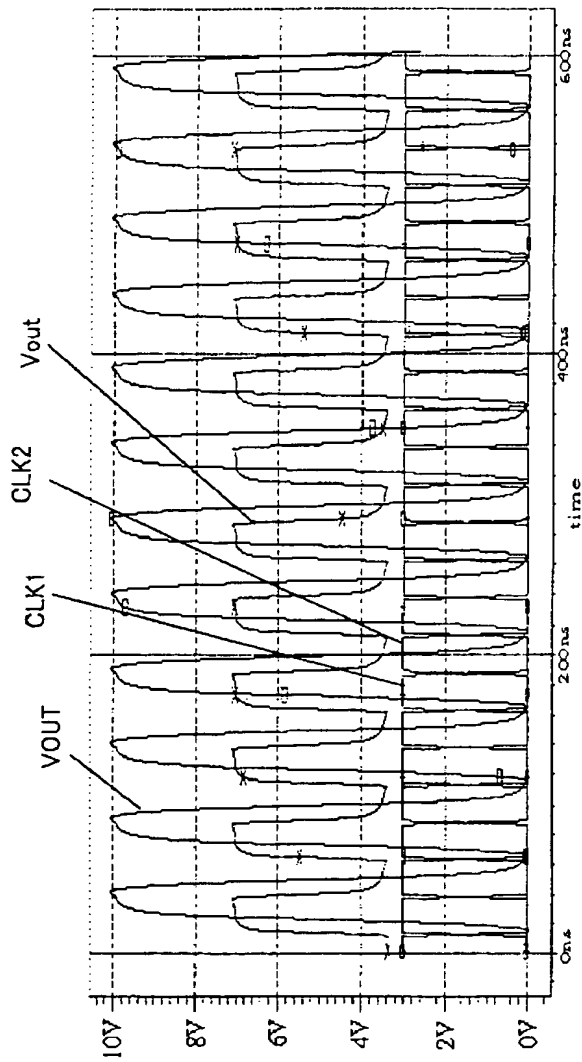
V_{tn} , V_{tp} しきい値電圧

【書類名】 図面

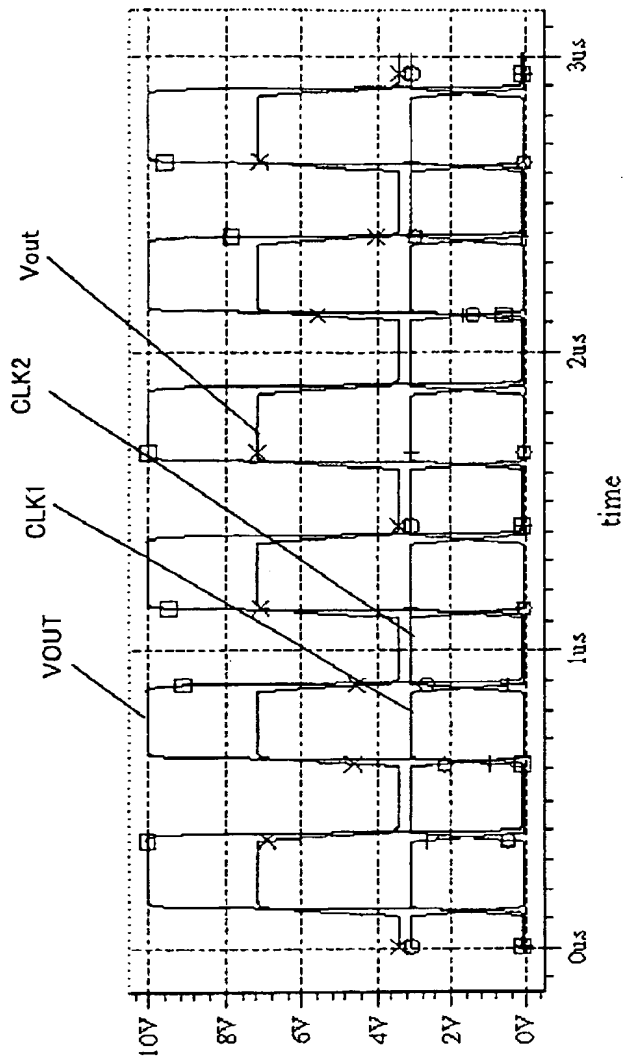
【図 1】



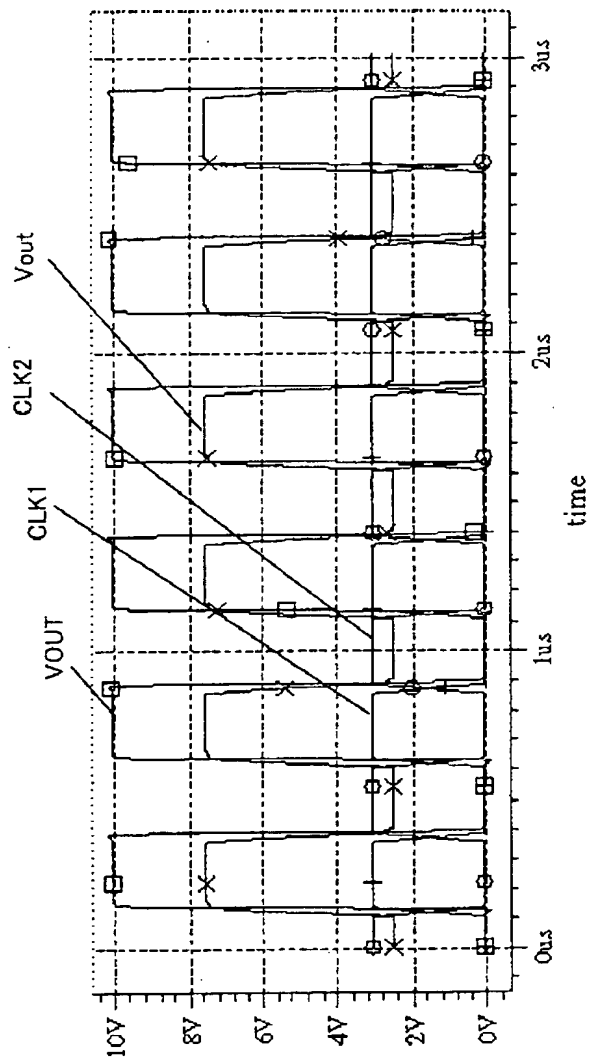
【図 2】



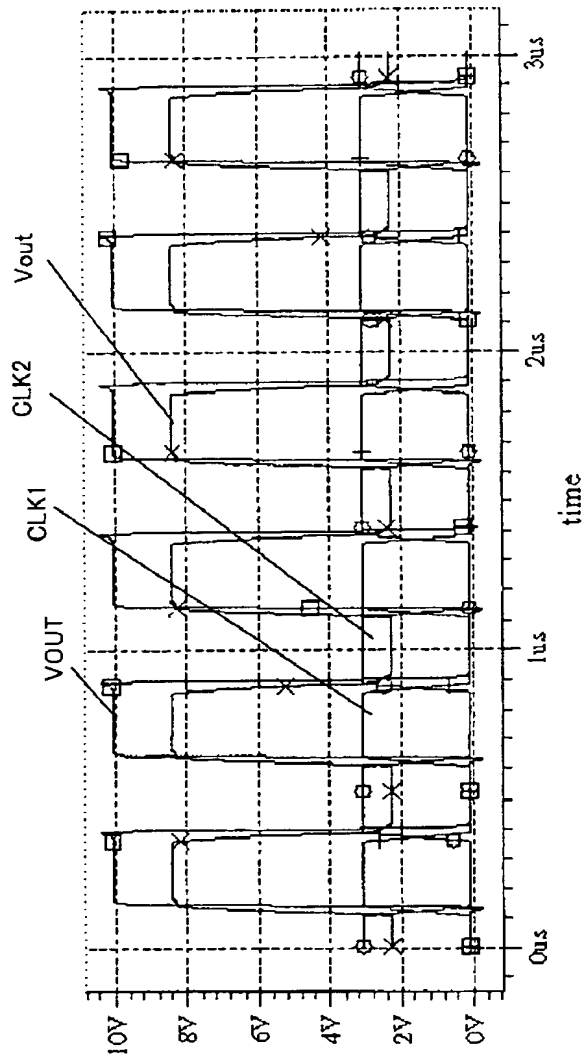
【図 3】



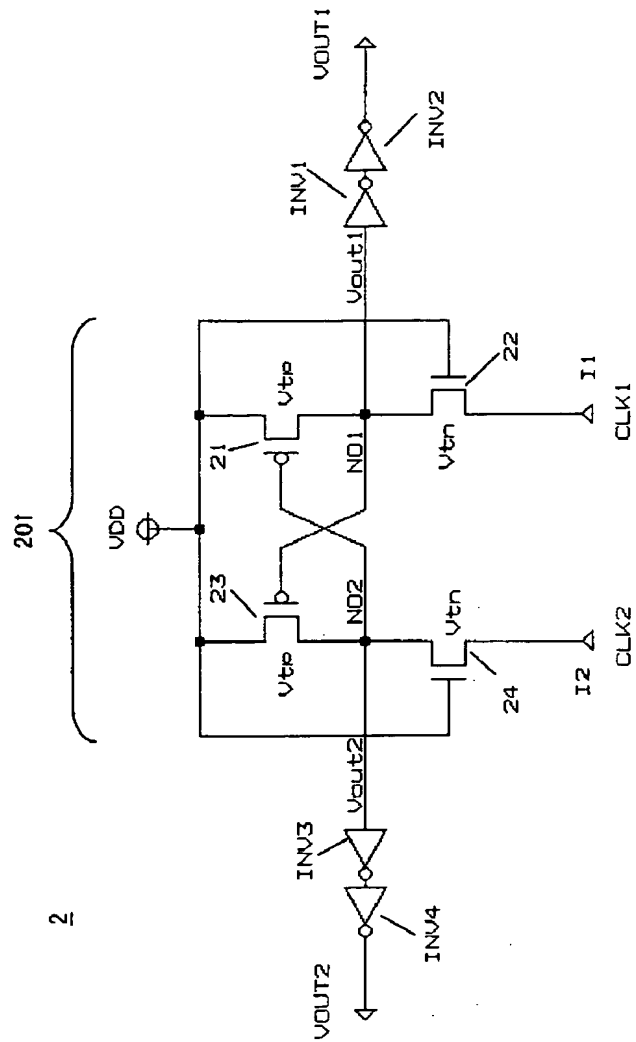
【図 4】



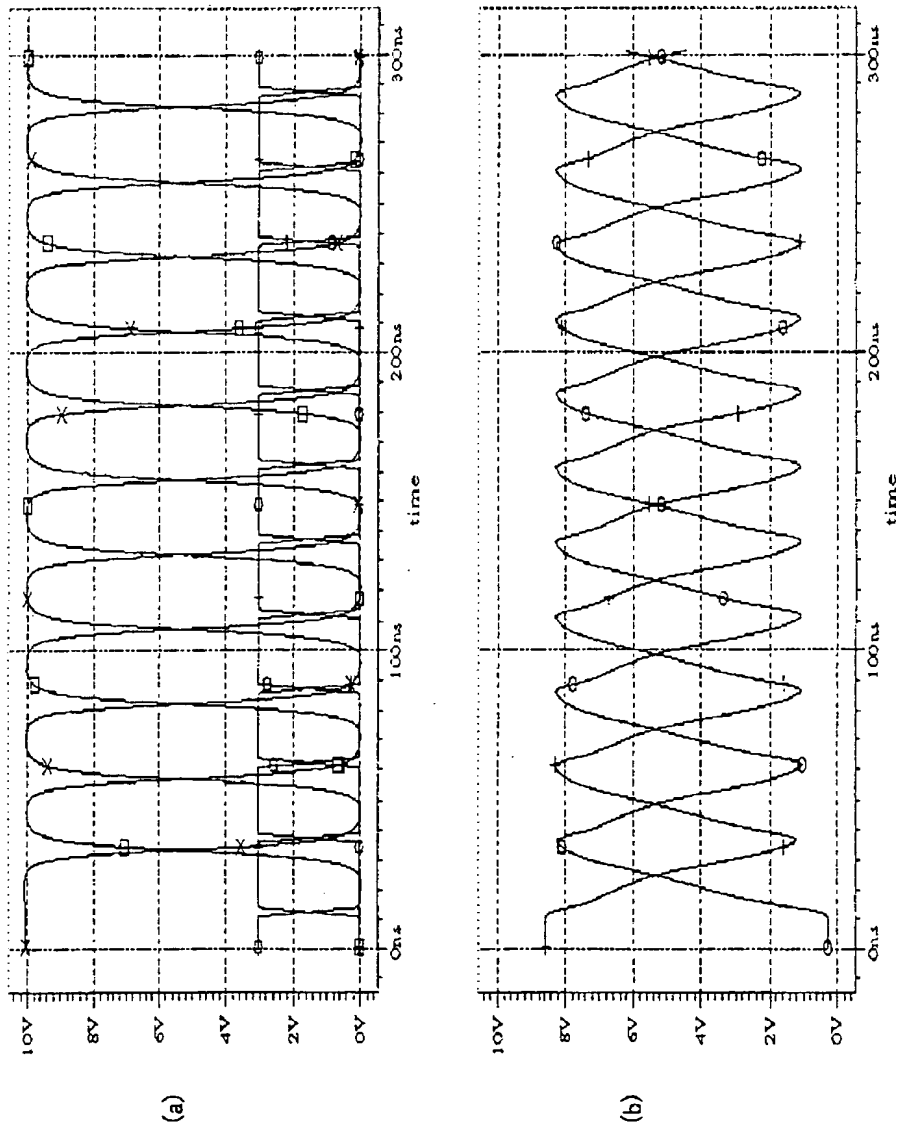
【図 5】



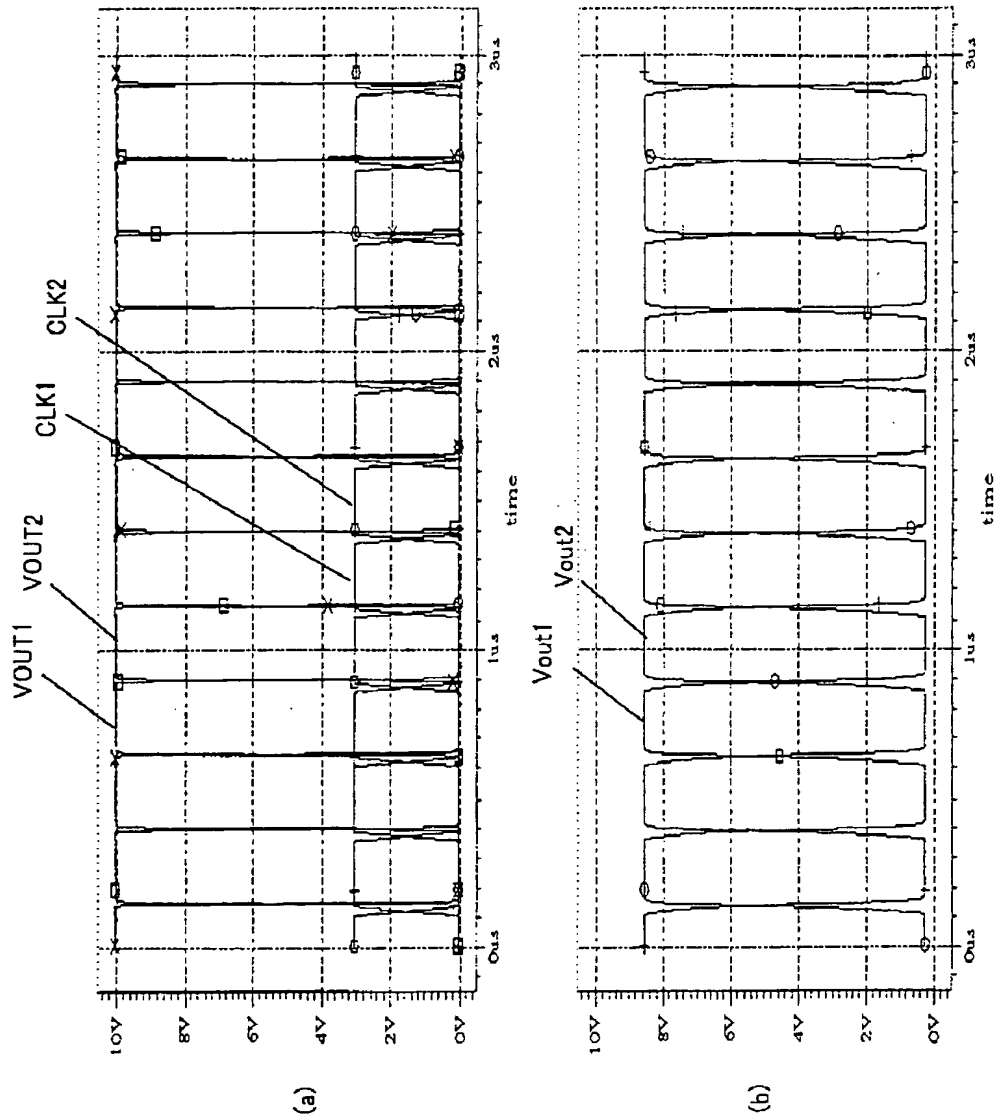
【図 6】



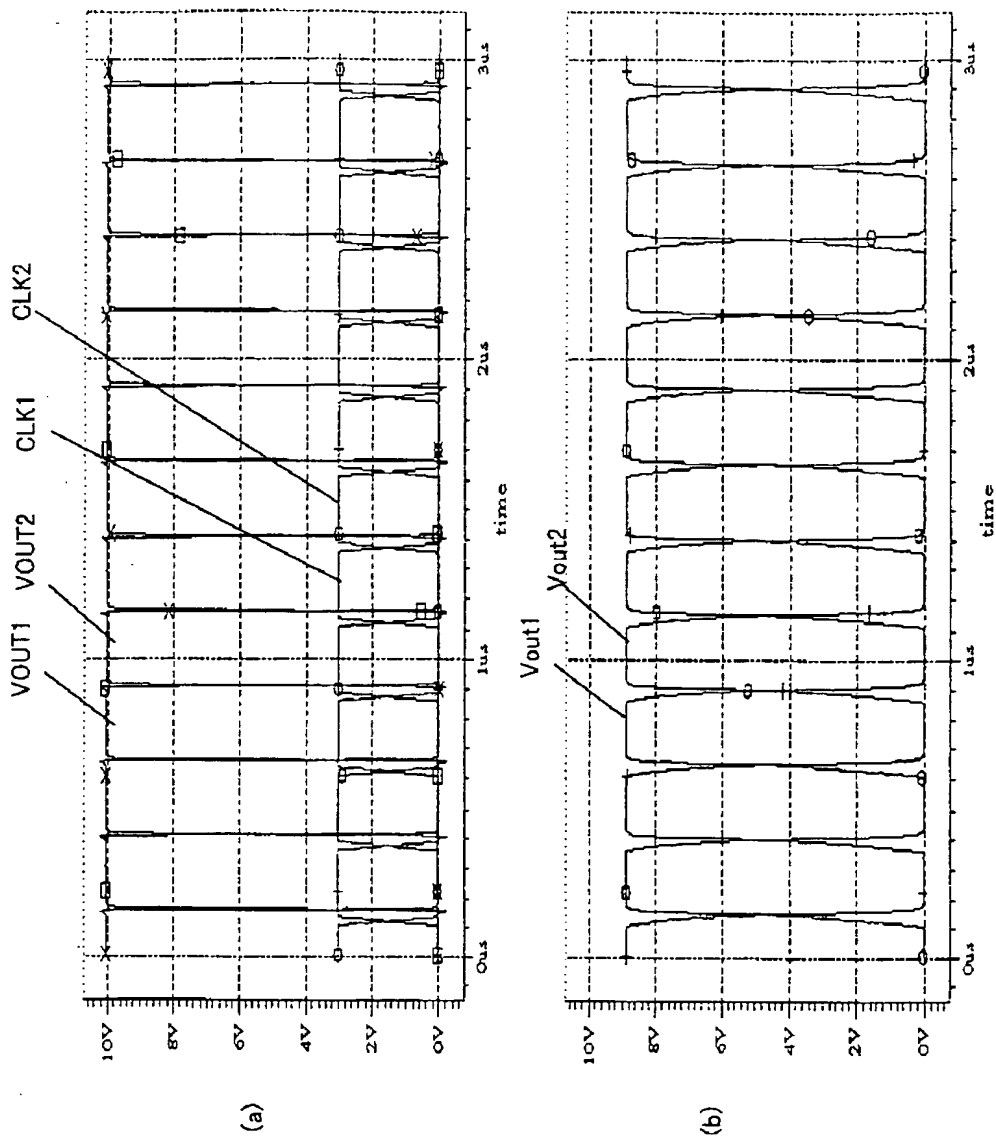
【図 7】



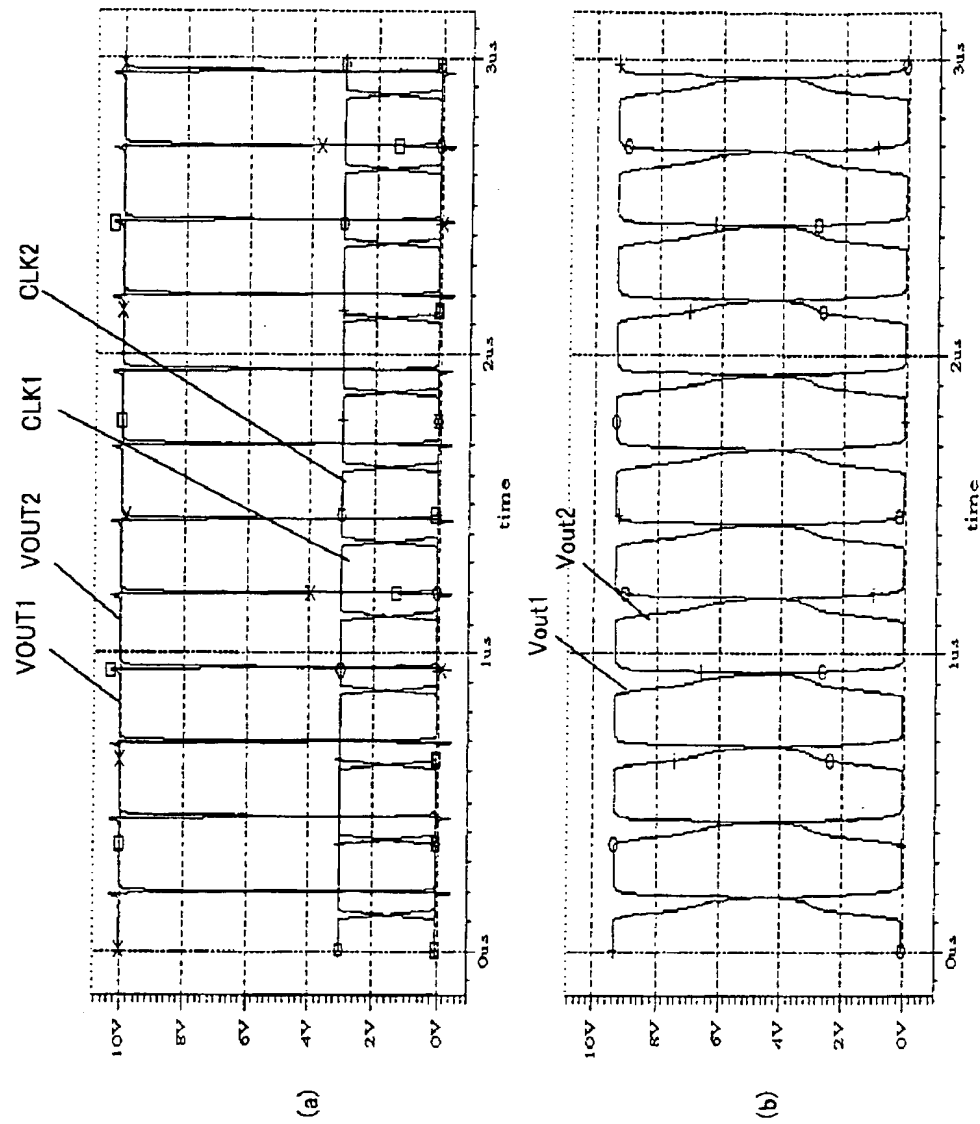
【図 8】



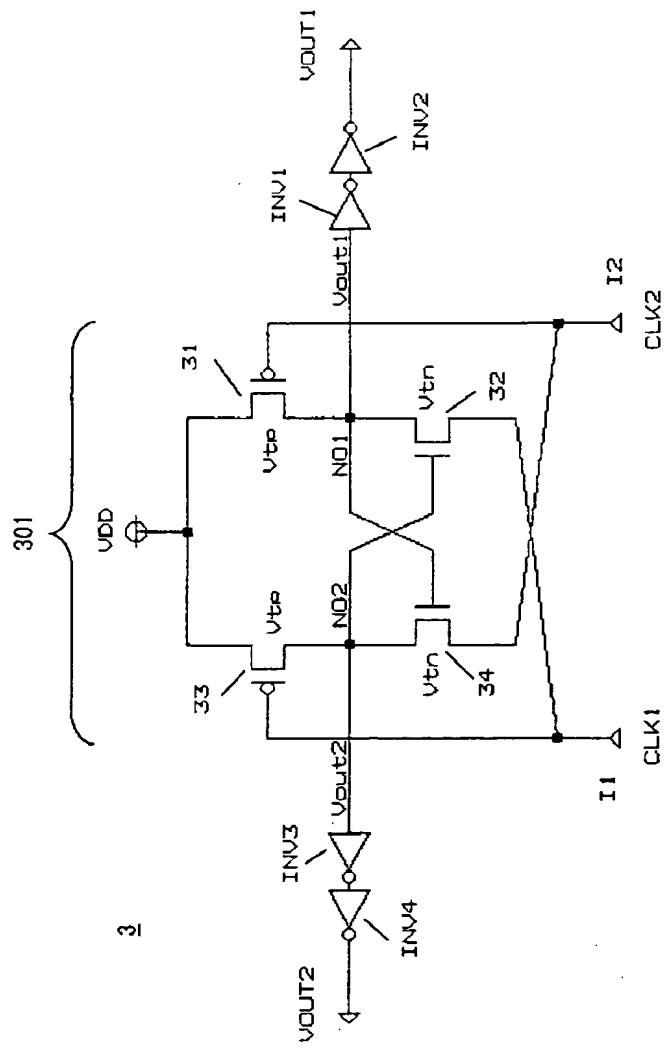
【図 9】



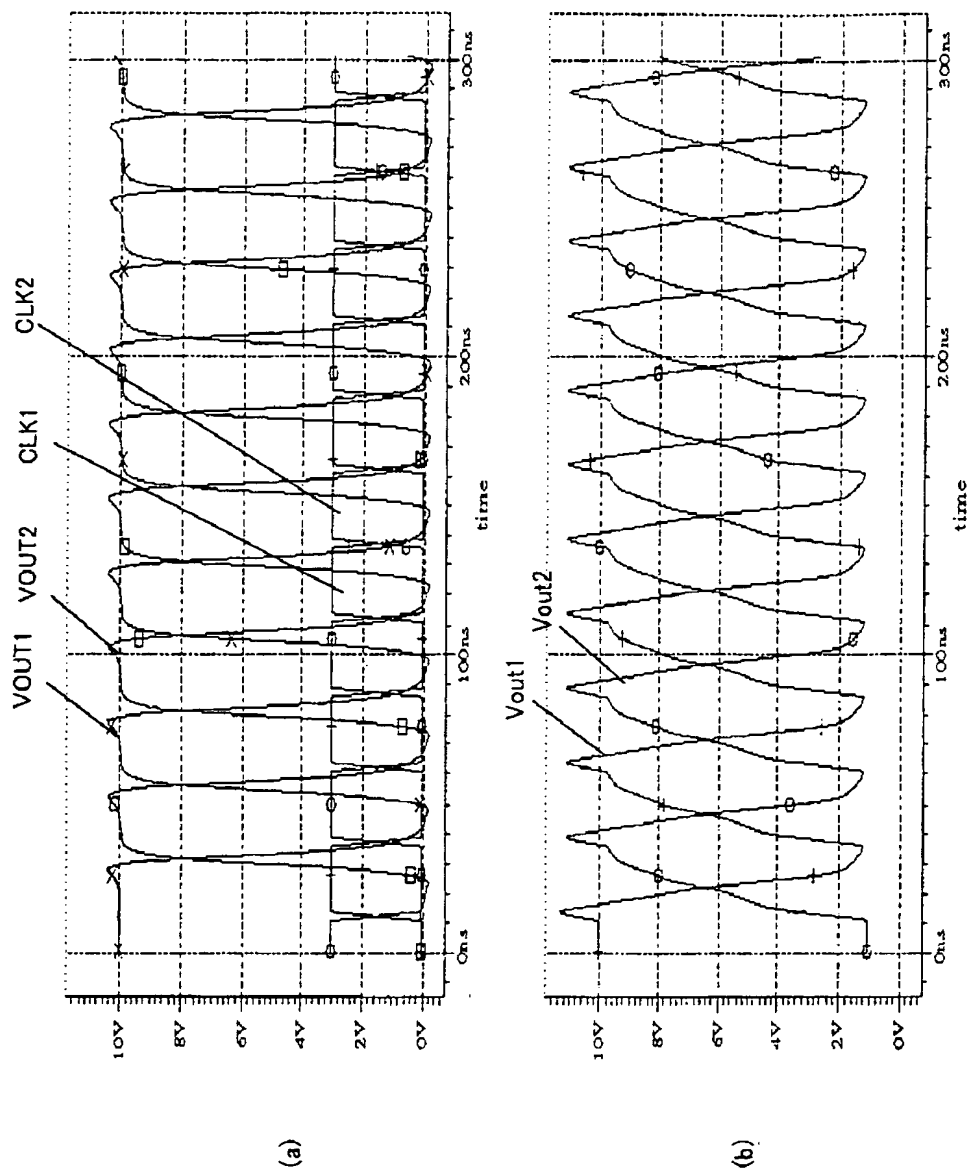
【図 10】



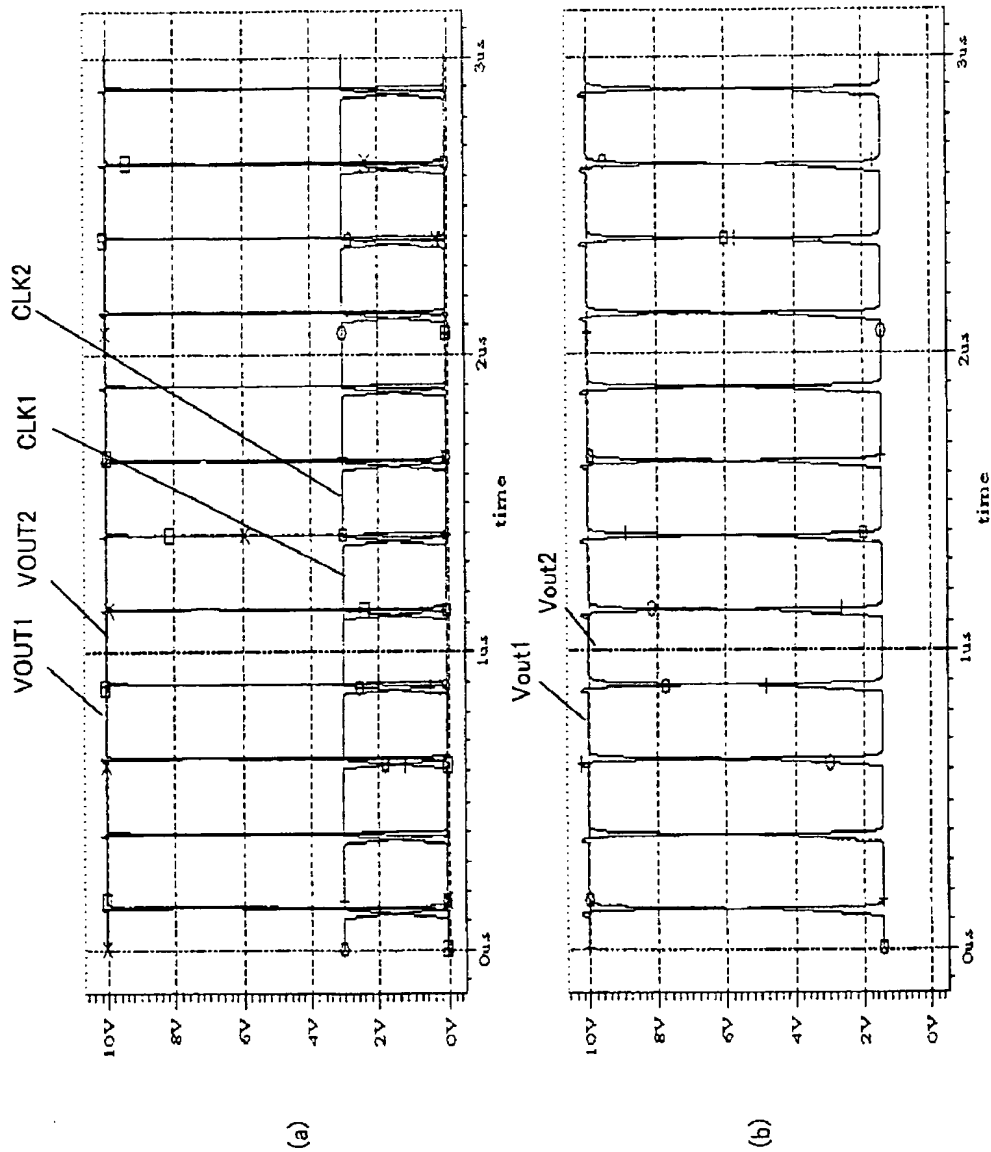
【図 11】



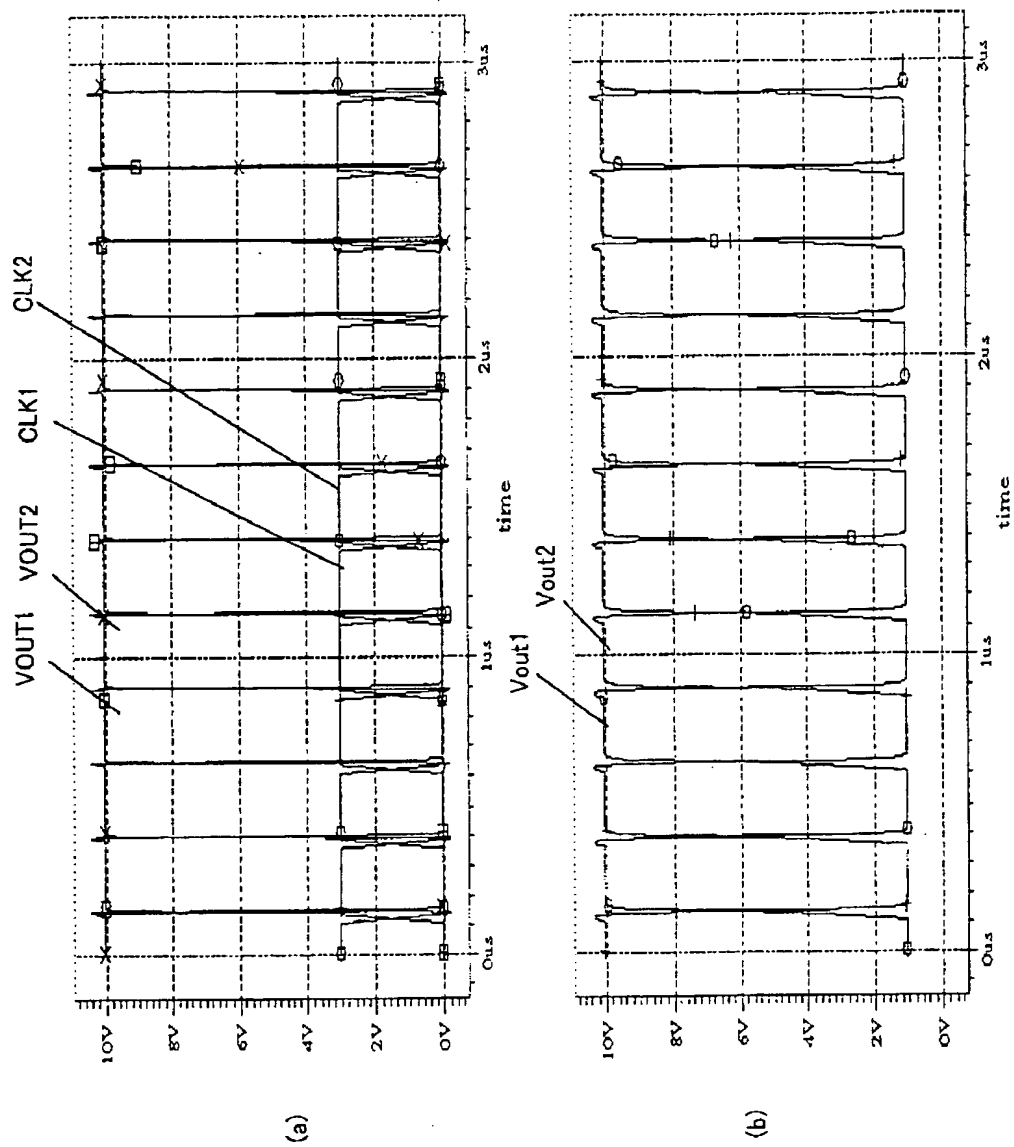
【図 12】



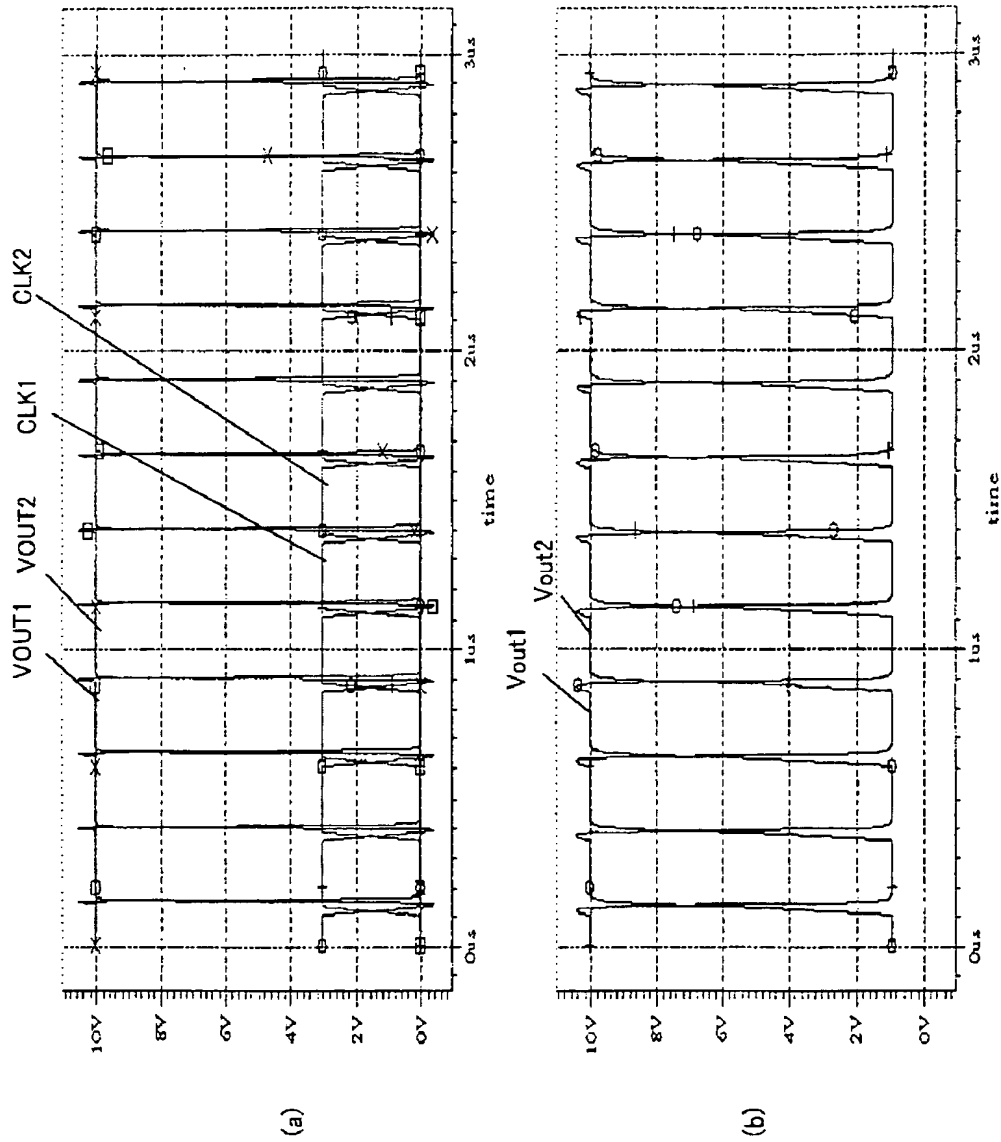
【図 13】



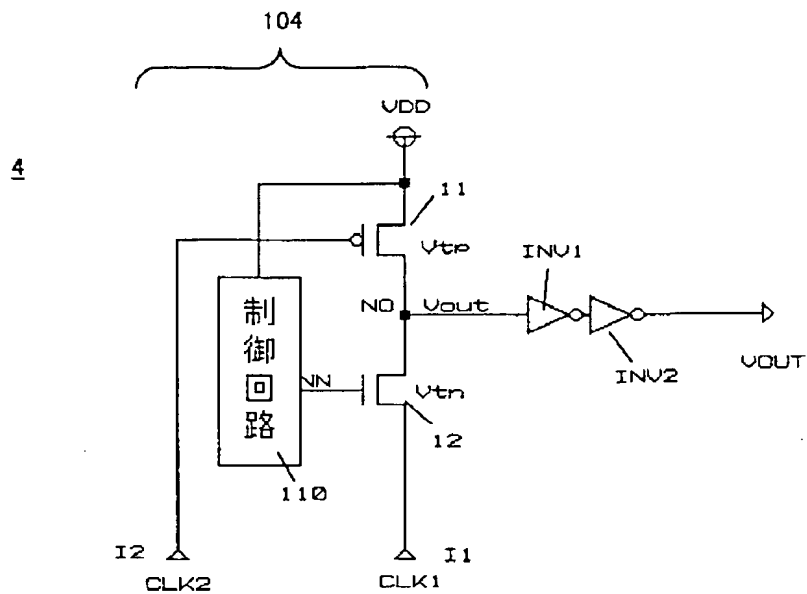
【図 14】



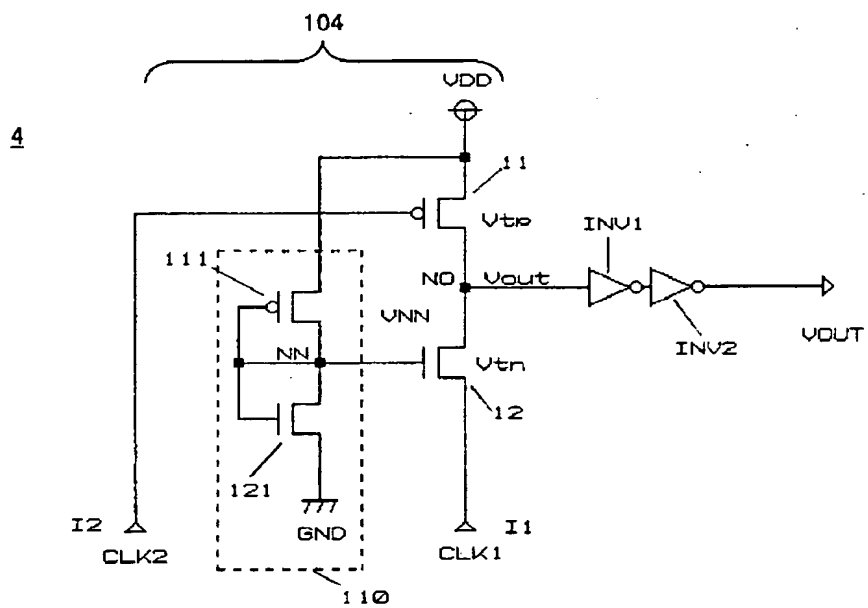
【図 15】



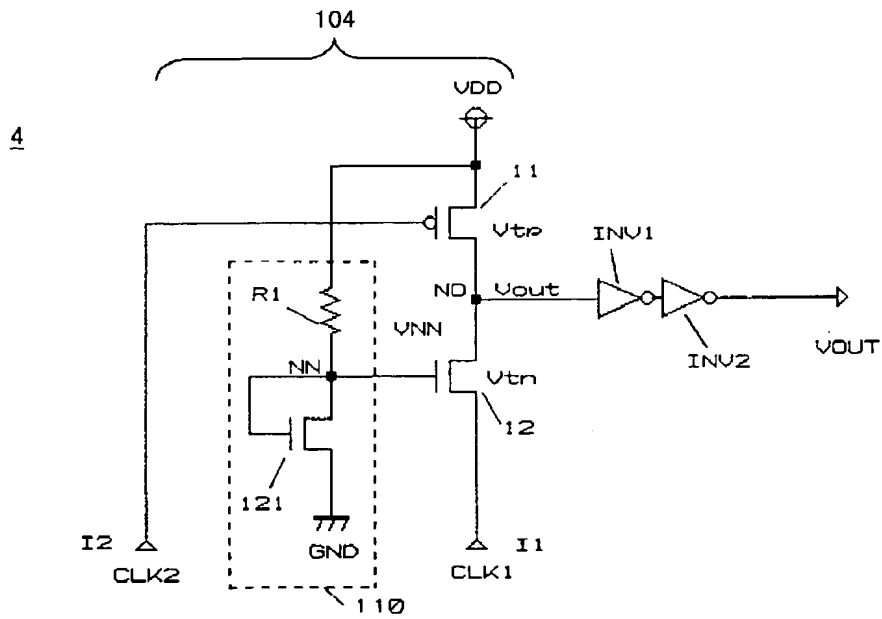
【図 16】



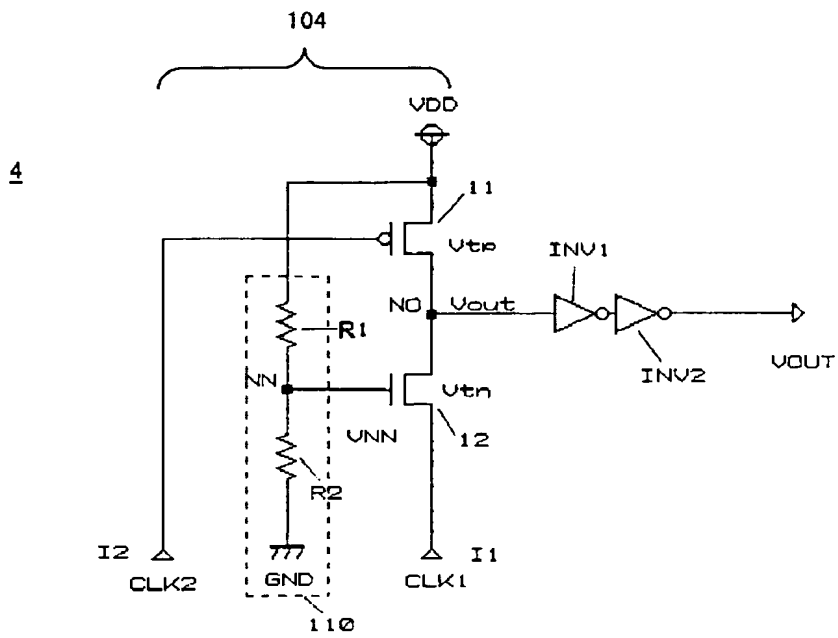
【図 17】



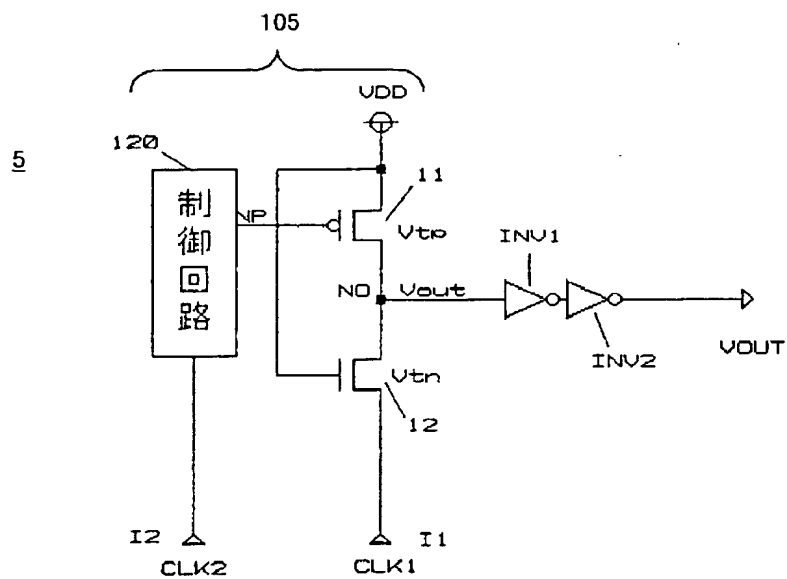
【図 18】



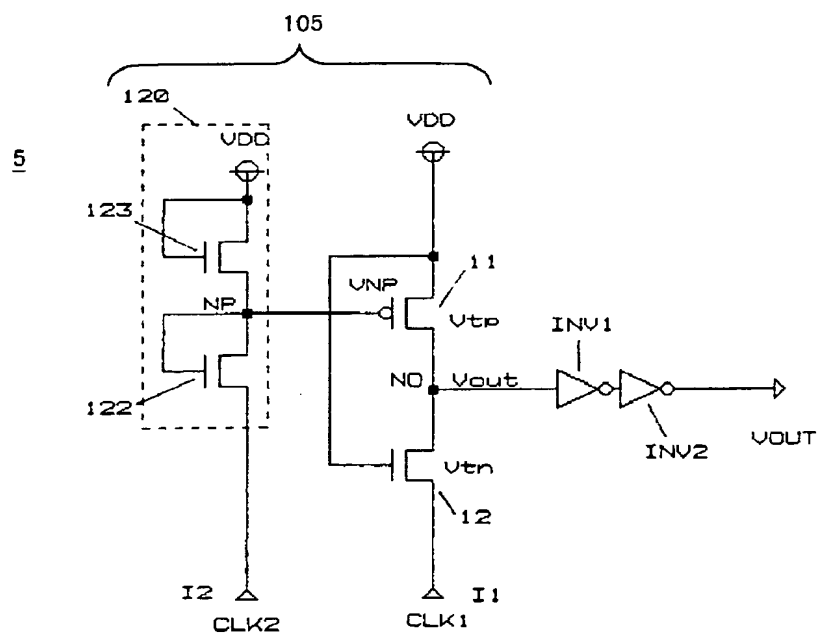
【図 19】



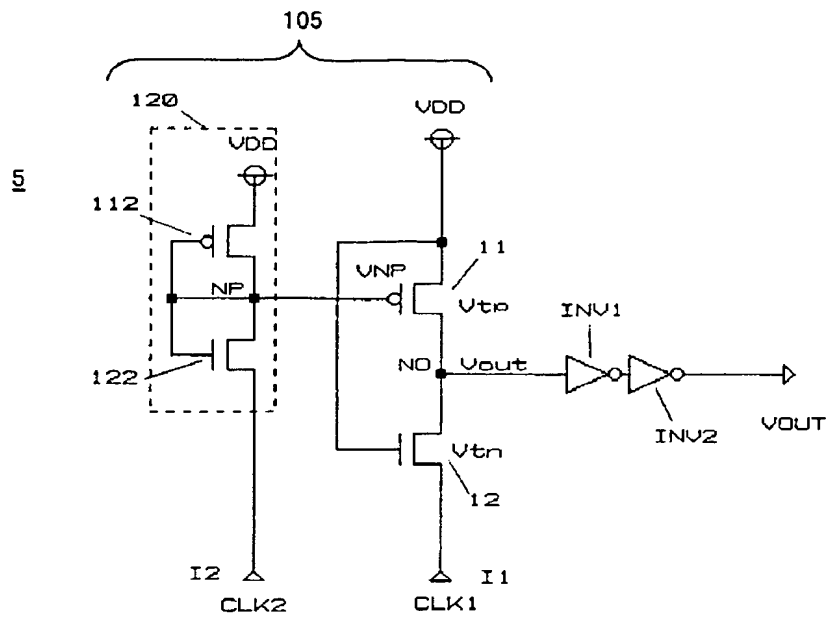
【図 20】



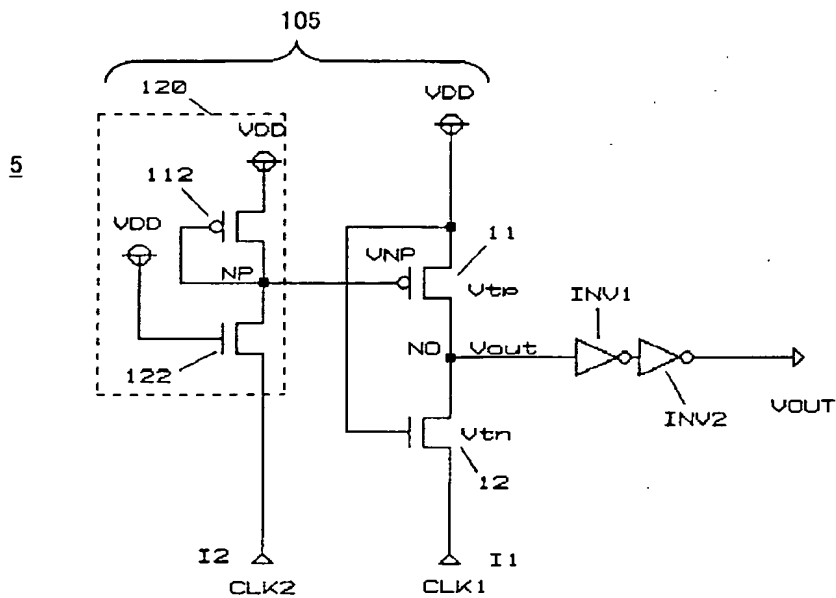
【図 21】



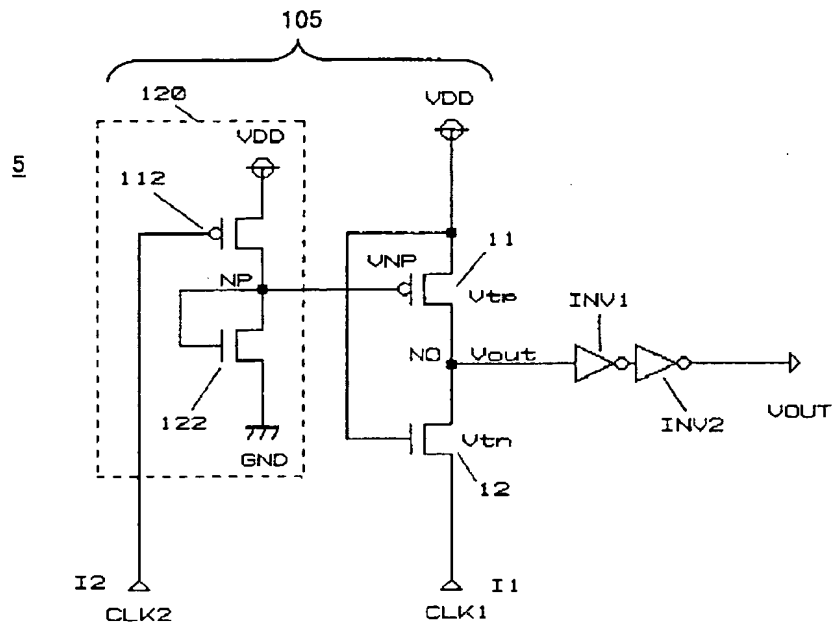
【図 22】



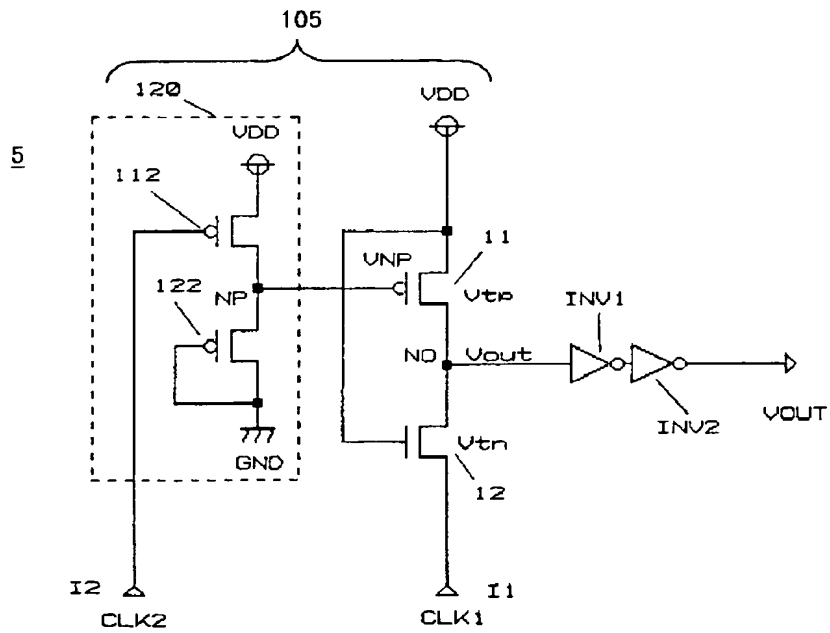
【図 23】



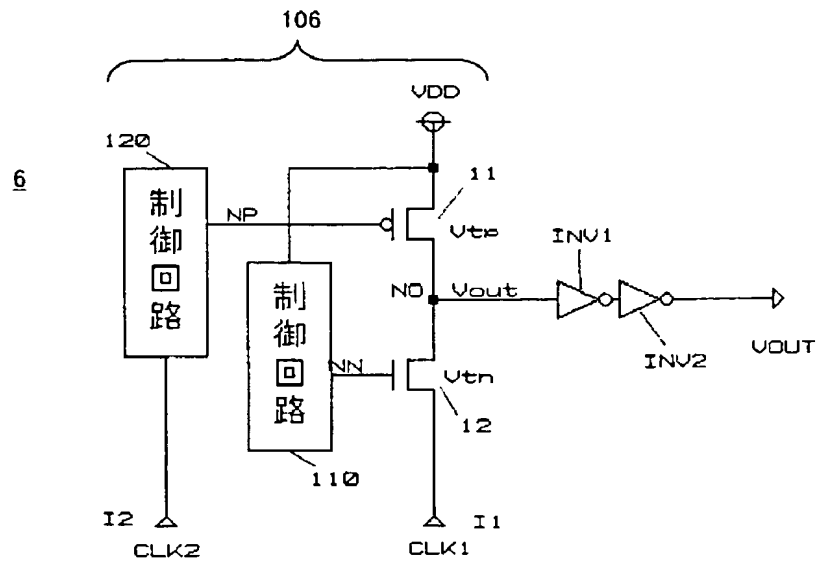
【図 26】



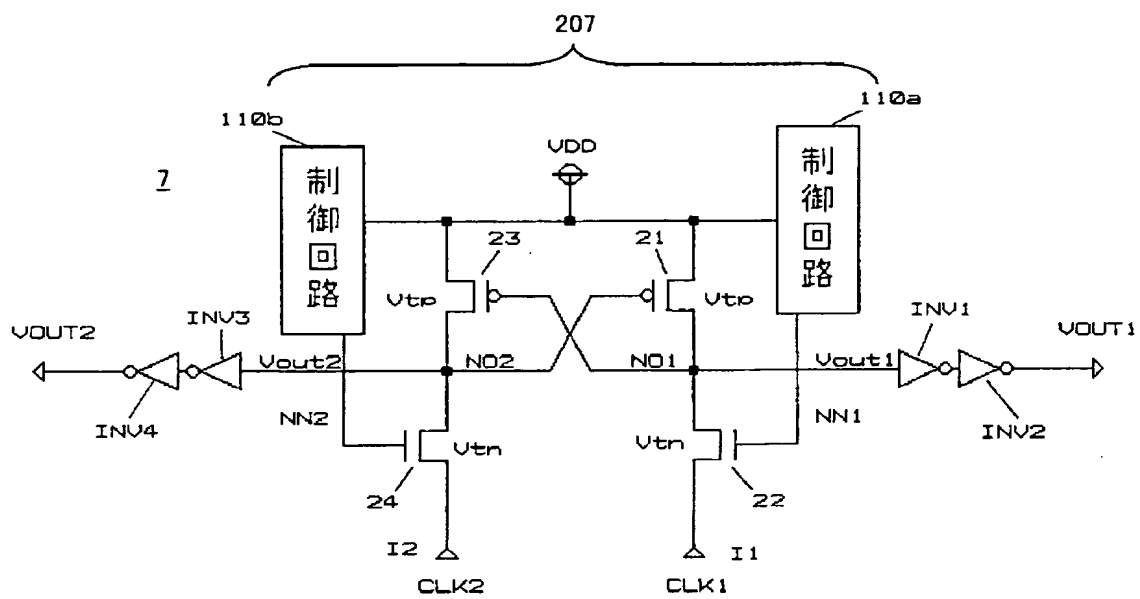
【図 27】



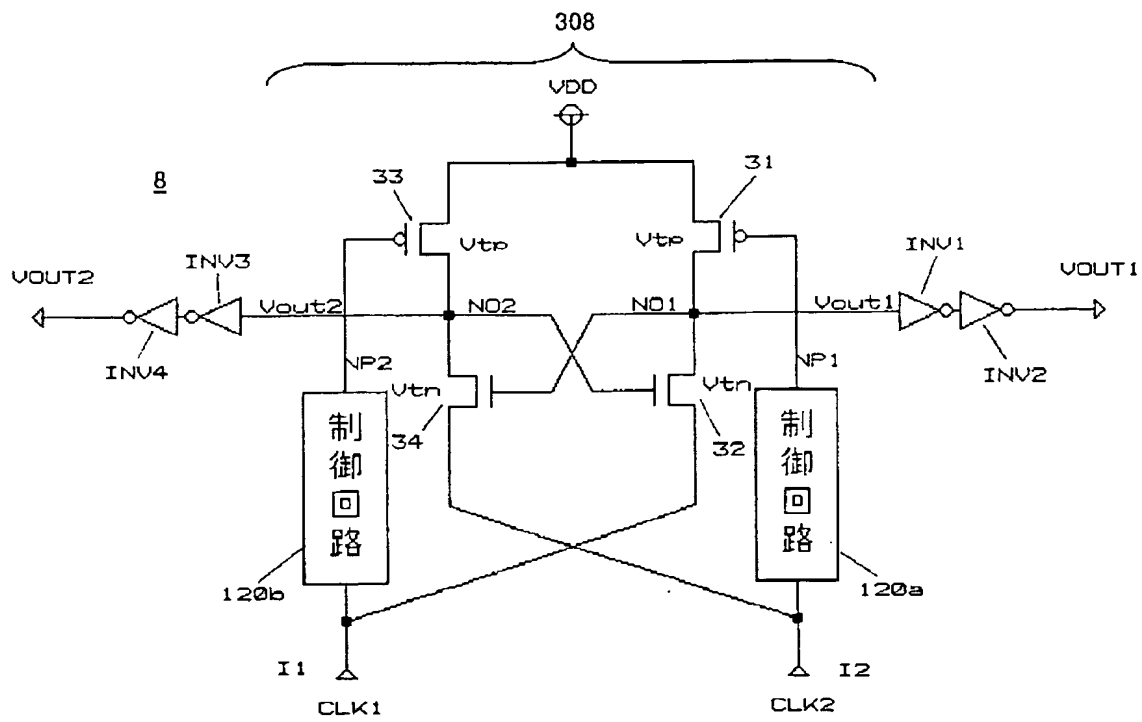
【図 28】



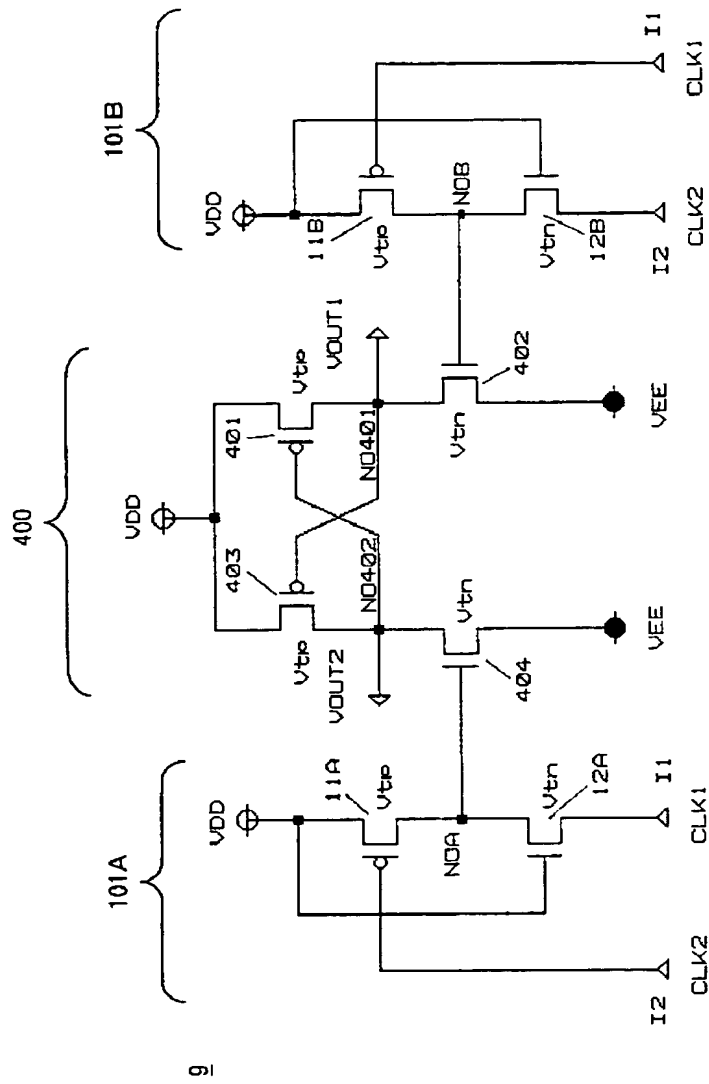
【図 29】



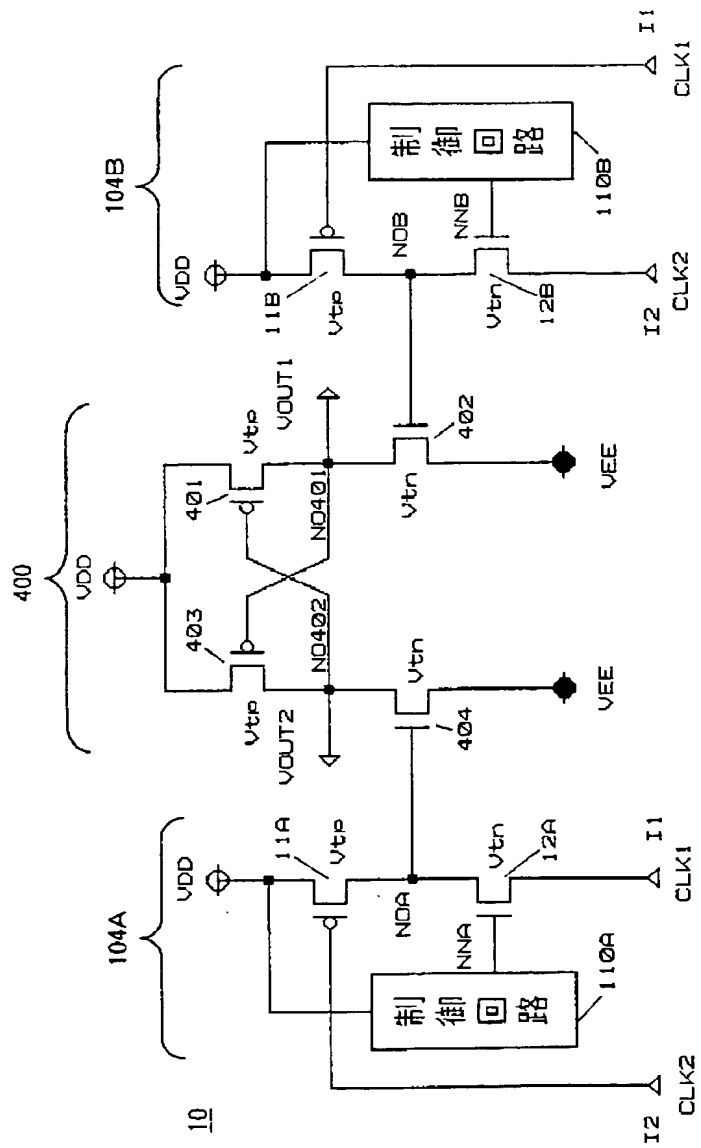
【図 30】



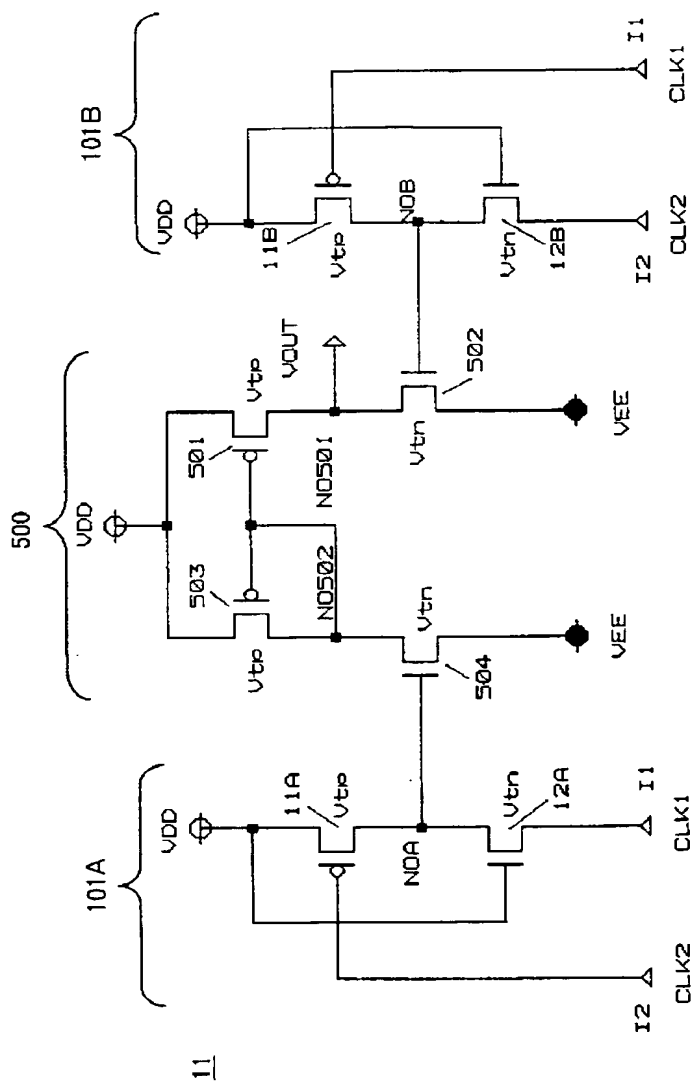
【図 31】



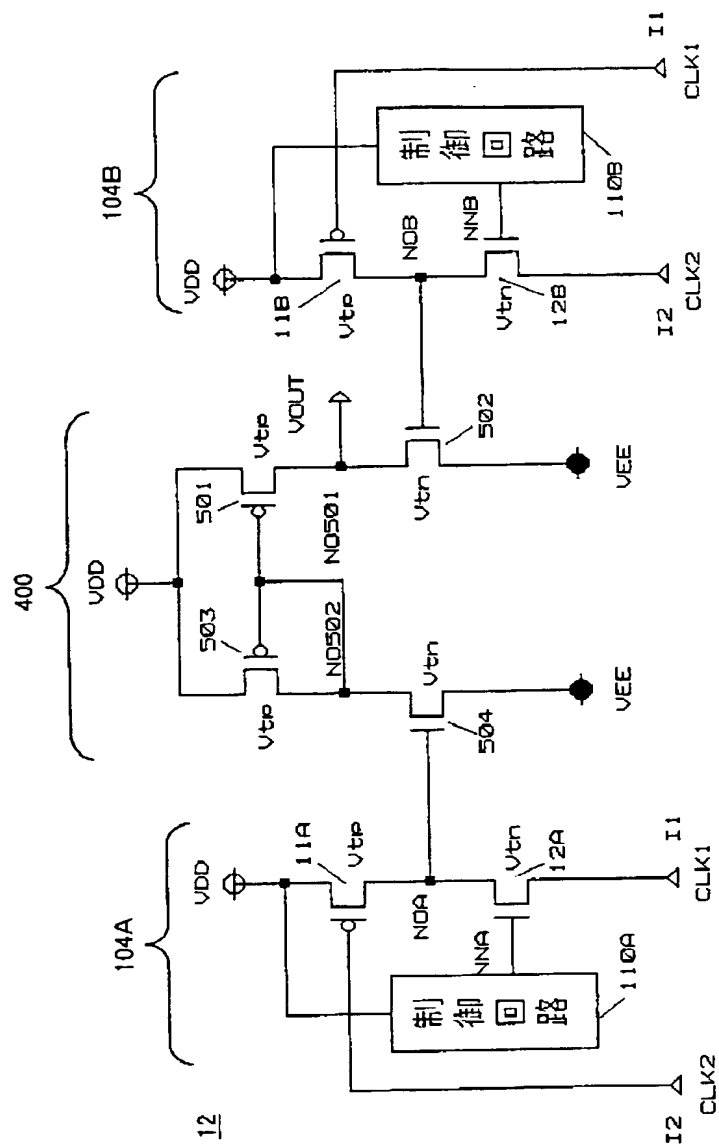
【図 32】



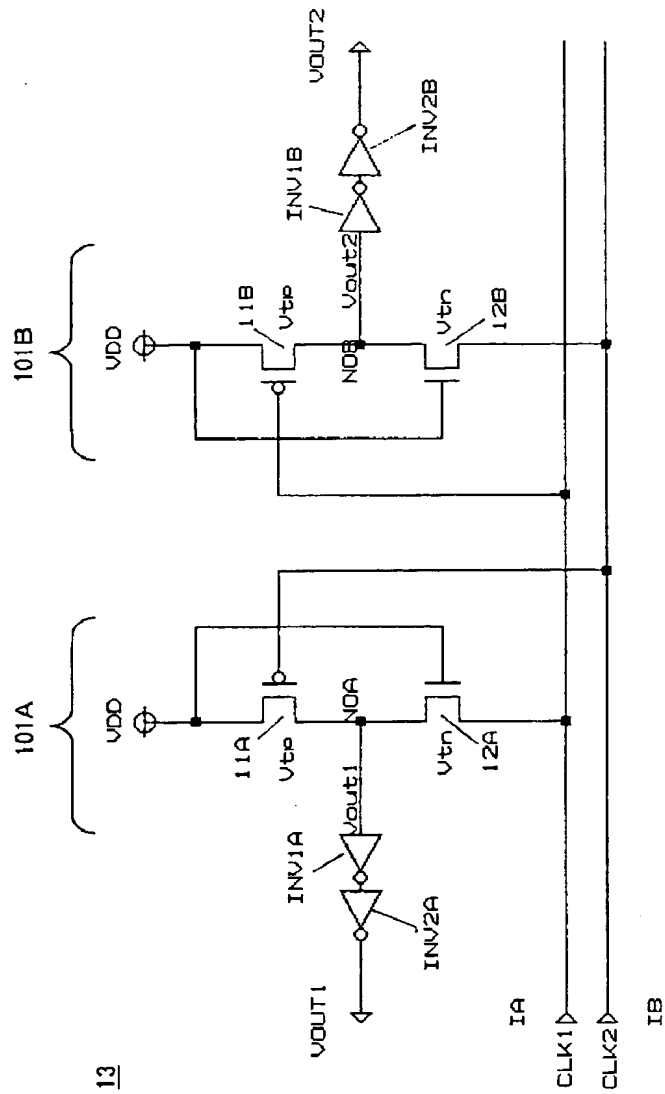
【図 33】



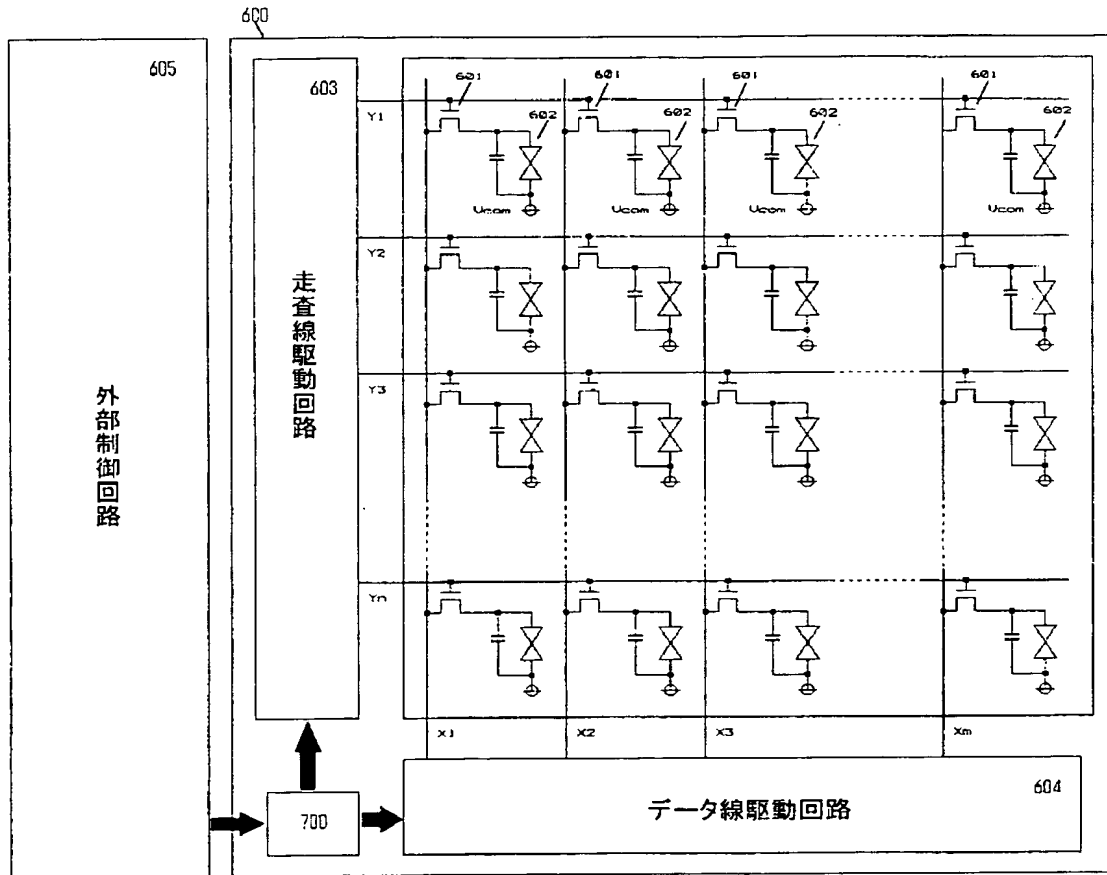
【図 34】



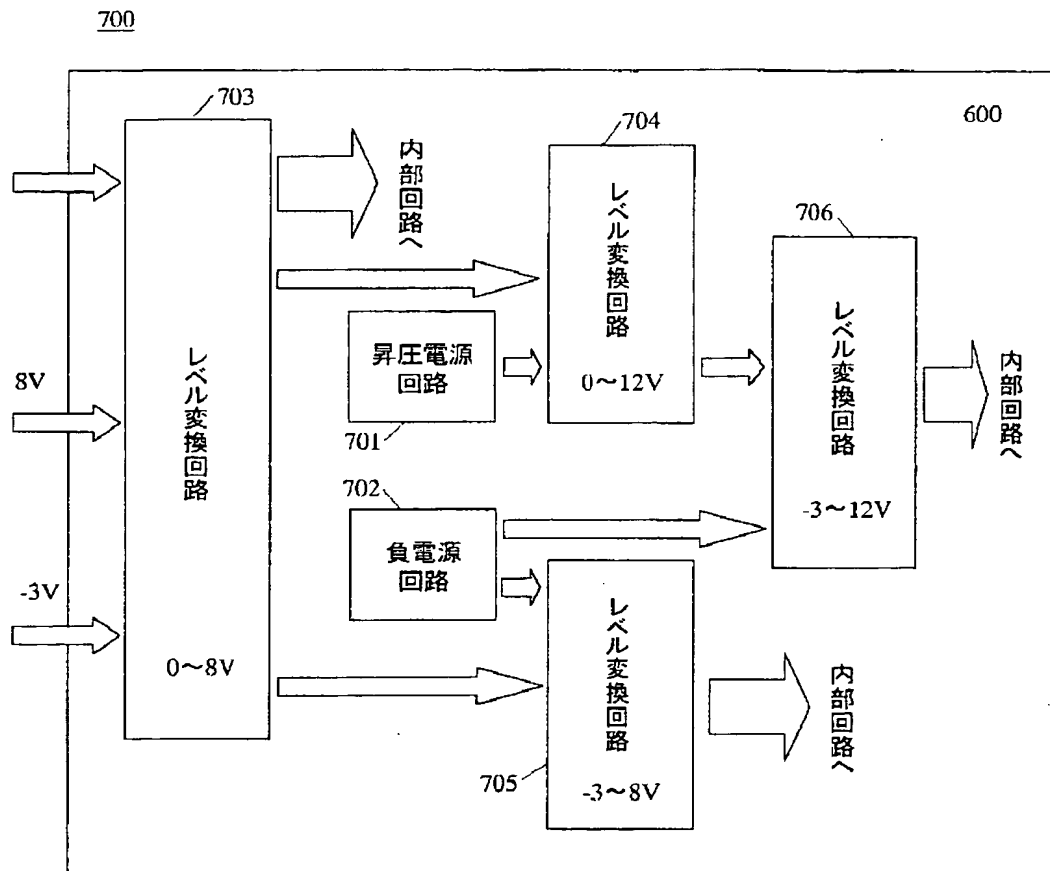
【図 35】



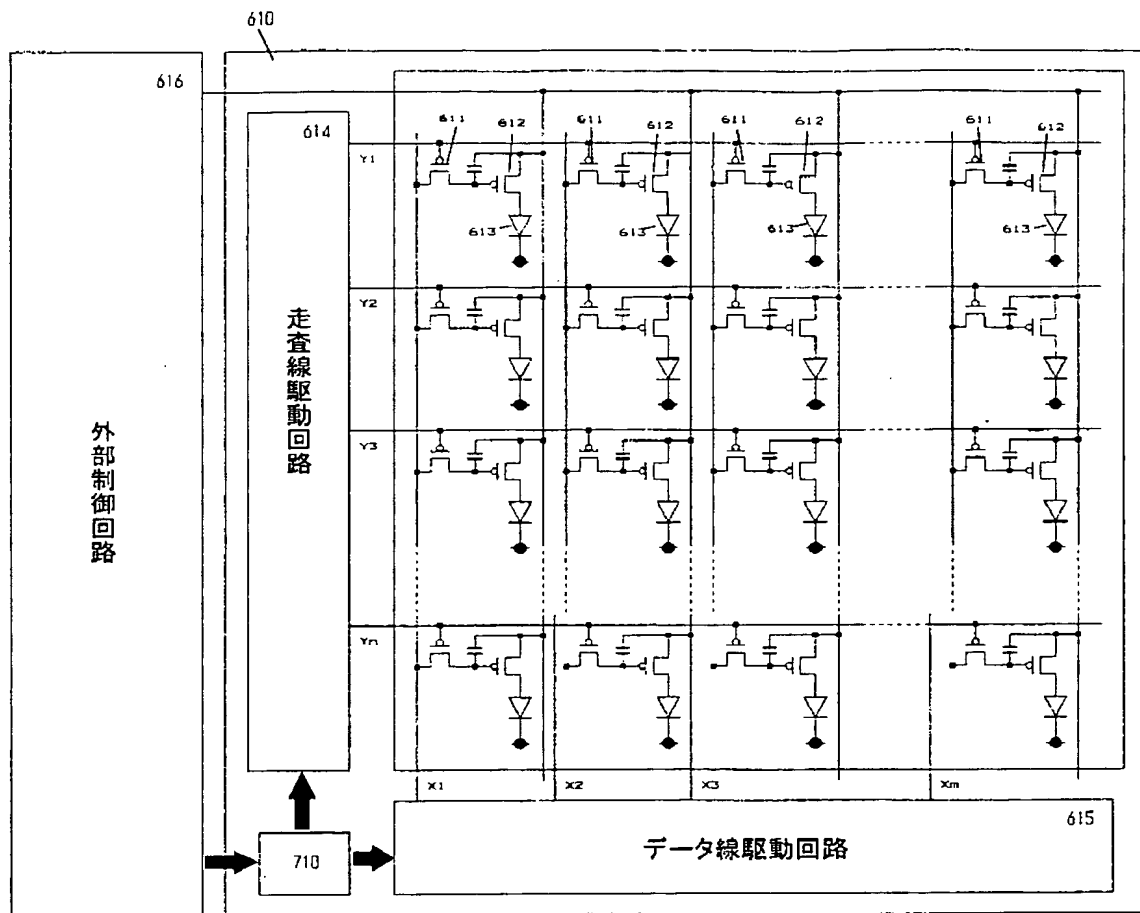
【図 36】



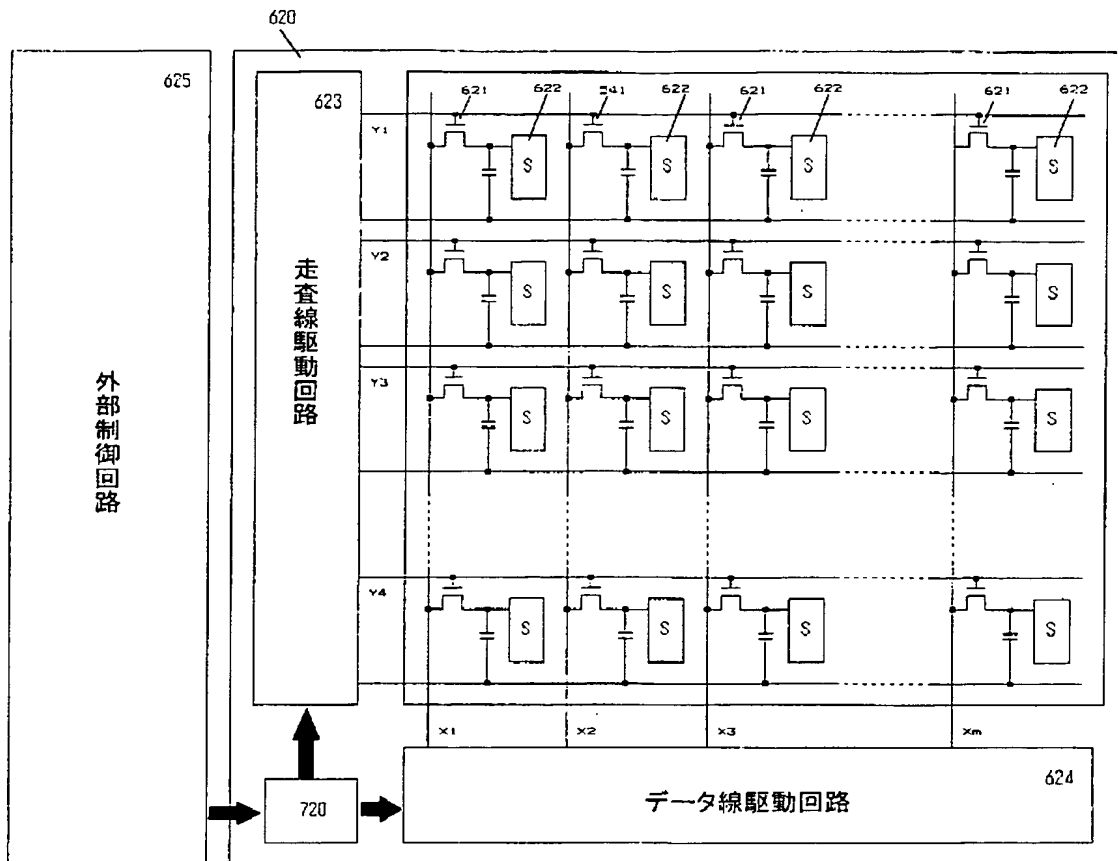
【図 37】



【図 38】

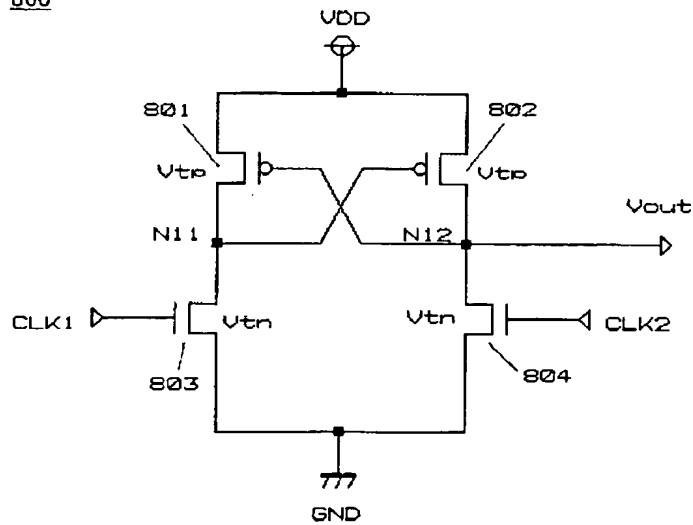


【図 39】



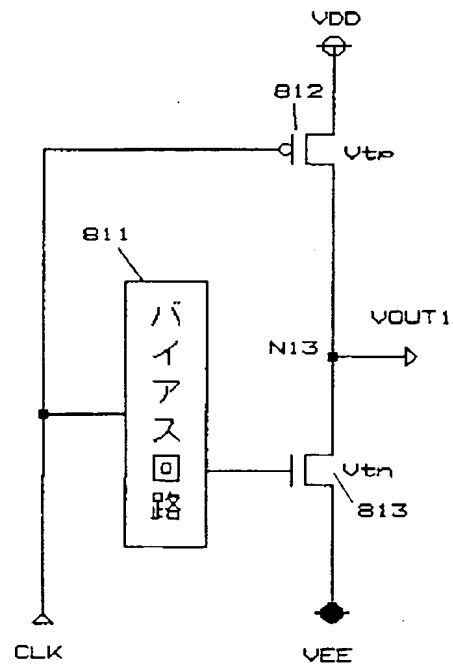
【図 40】

800

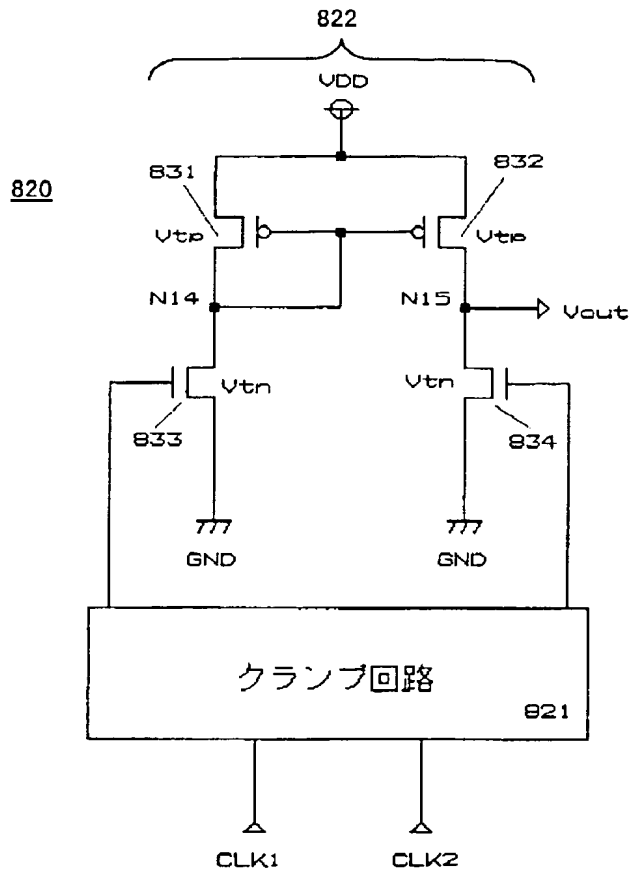


【図 41】

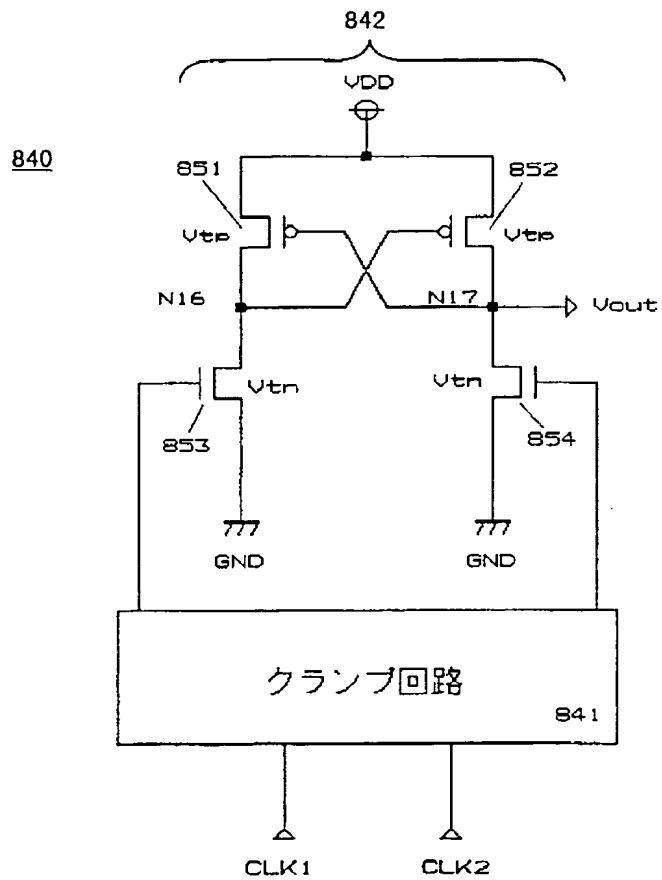
810



【図 4 2】



【図 43】



【書類名】 要約書

【要約】

【課題】 信号の電圧レベルを変換する回路は、回路規模、動作の高速性などの面で配慮が必要であった。

【解決手段】 レベル変換部 101 の p チャネル MOSFET 11 のソースは電源電位 VDD を受ける電源端子に接続され、ドレインは出力ノード NO に接続され、ゲートは入力ノード I2 に接続される。n チャネル MOSFET 12 のソースは入力ノード I1 と接続され、ドレインは出力ノード NO に接続され、ゲートは電源電位 VDD を受ける電源端子に接続される。入力信号 CLK1、CLK2 は相補に変化し、それらのハイレベルとローレベルの電位差は、電源電位 VDD と接地電位との間の電位差よりも小さい。

【選択図】 図 1

特願 2 0 0 1 - 2 1 2 9 1 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.